

**Каталог новых архитектурных и схемотехнических решений функциональных узлов и IP модулей систем связи. Результаты компьютерного моделирования предельных параметров.**

**Проект**

**8.374.2014/К "Разработка и исследование нового поколения архитектурных, схемотехнических и топологических методов расширения диапазона рабочих частот аналоговых микросхем на основе перспективных технологических процессов и их практические приложения"**



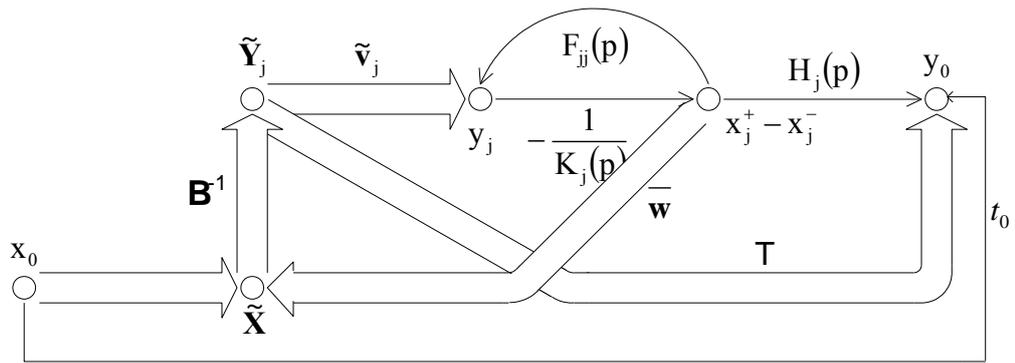


Рисунок 2.4 – Векторный сигнальный граф обобщённой структуры при влиянии  $j$ -го активного элемента

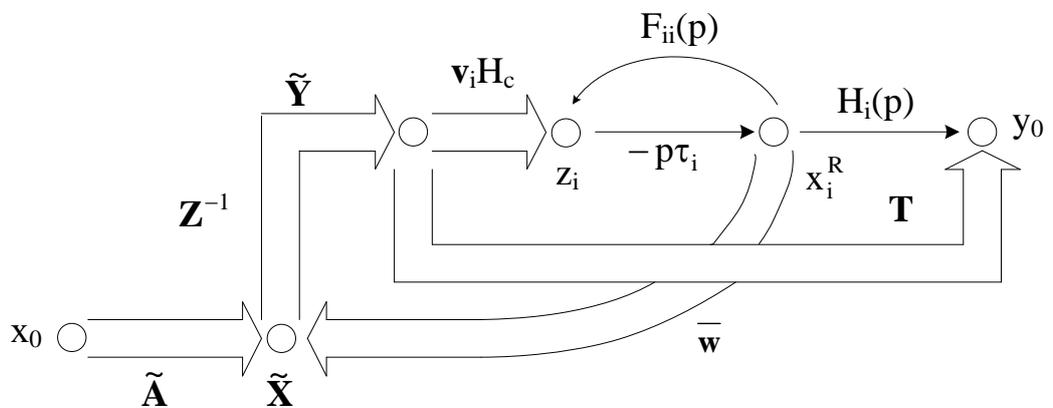


Рисунок 2.6 – Векторный сигнальный граф обобщенной структуры при влиянии  $i$ -го реактивного двухполюсника

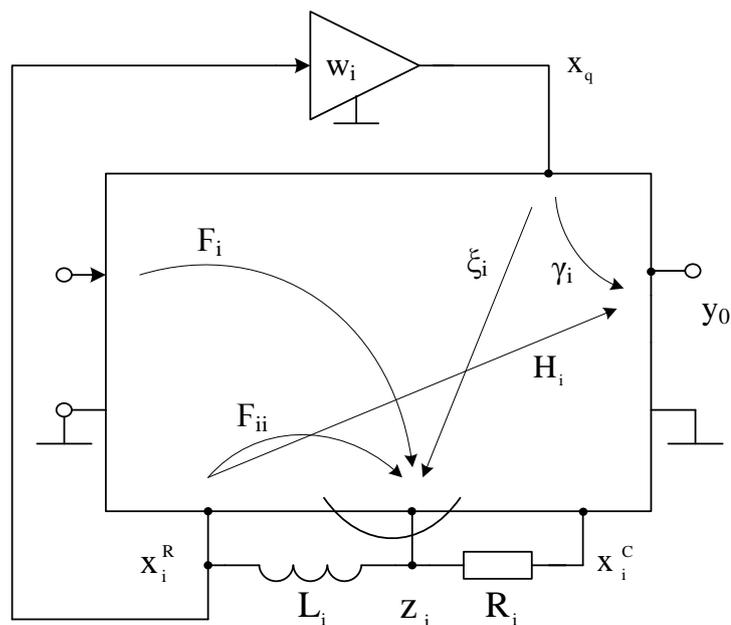


Рисунок 2.7 – Первый структурный метод собственной компенсации влияния  $L_i$  на характеристики и параметры электронных схем (С25)



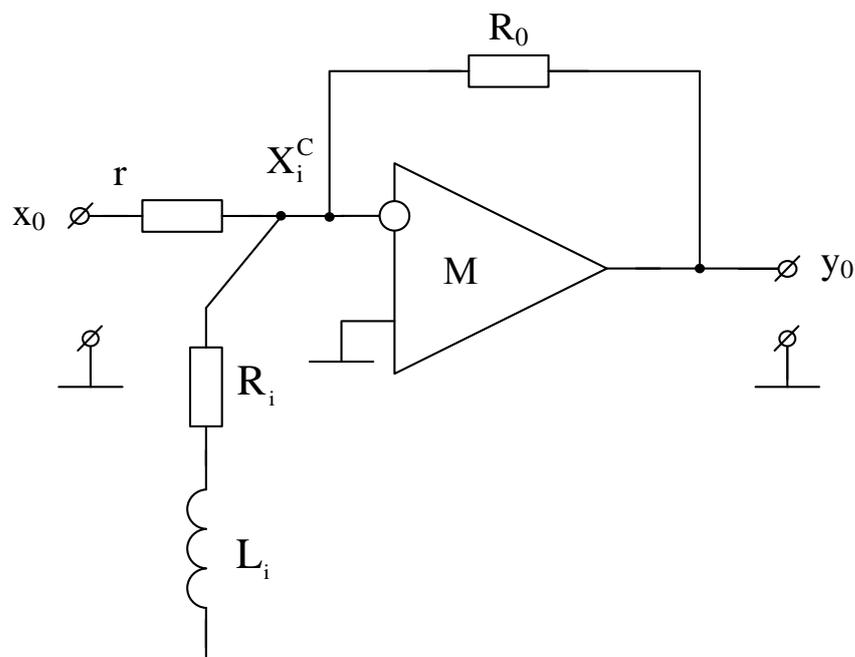


Рисунок 2.10 – Пример реализации второго метода собственной компенсации влияния параметров RL-цепи (C28)

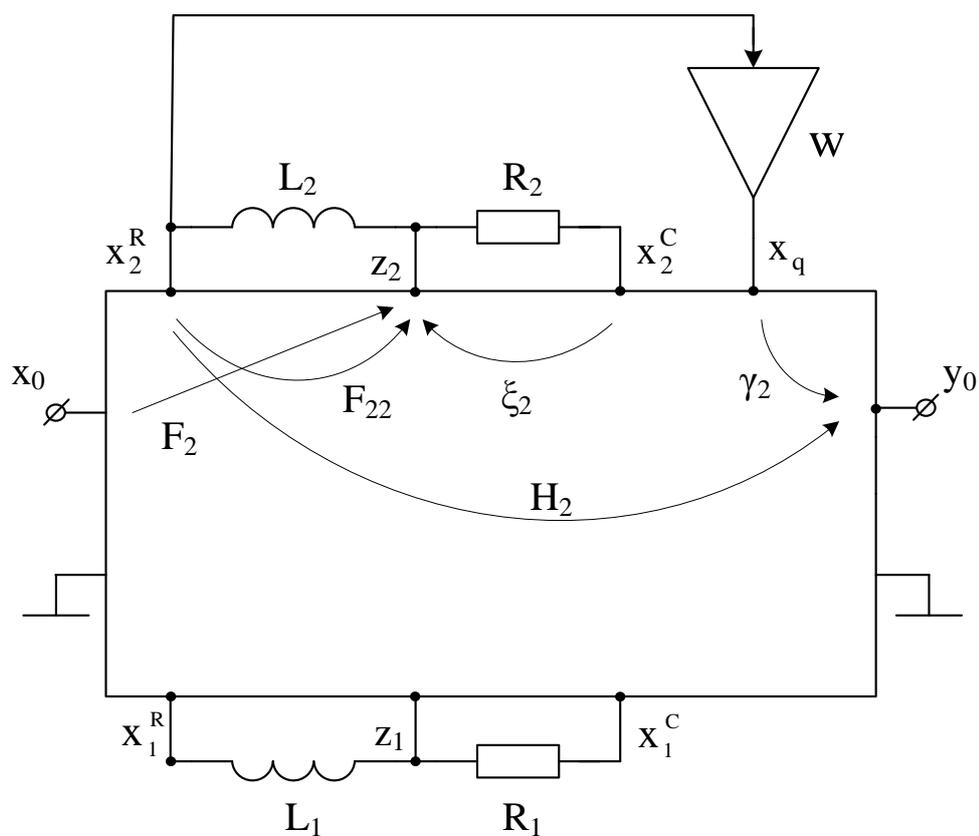


Рисунок 2.11 – Базовый метод взаимной компенсации влияния  $L_1, R_1$  RL-цепью  $L_2R_2$  (C29)

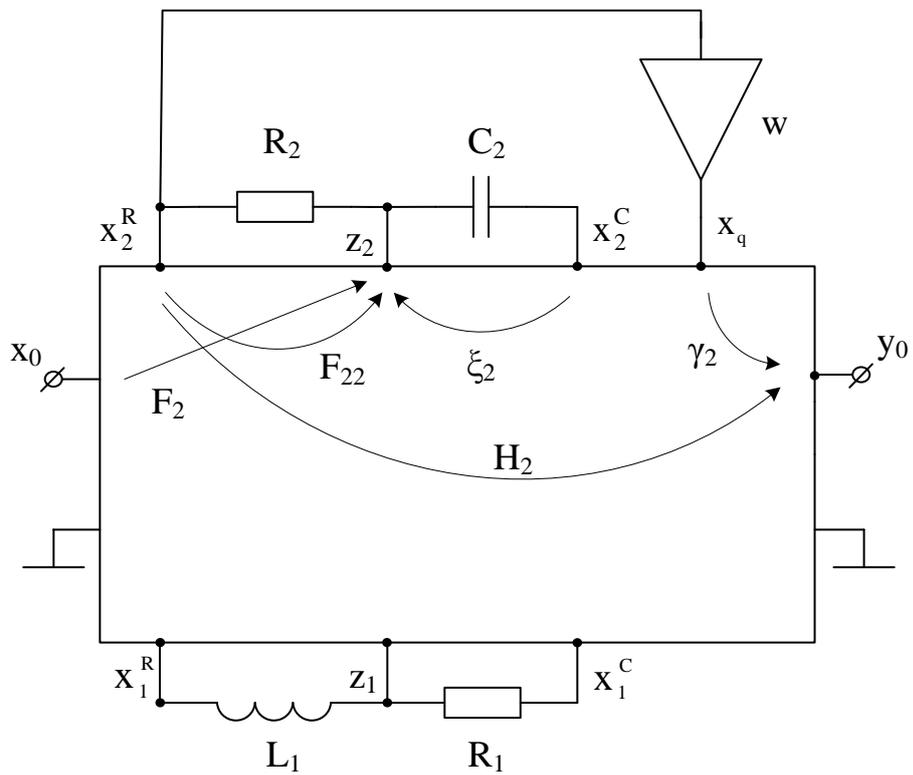


Рисунок 2.12 – Метод взаимной компенсации влияния параметров RL-цепи RC-цепью (С30)

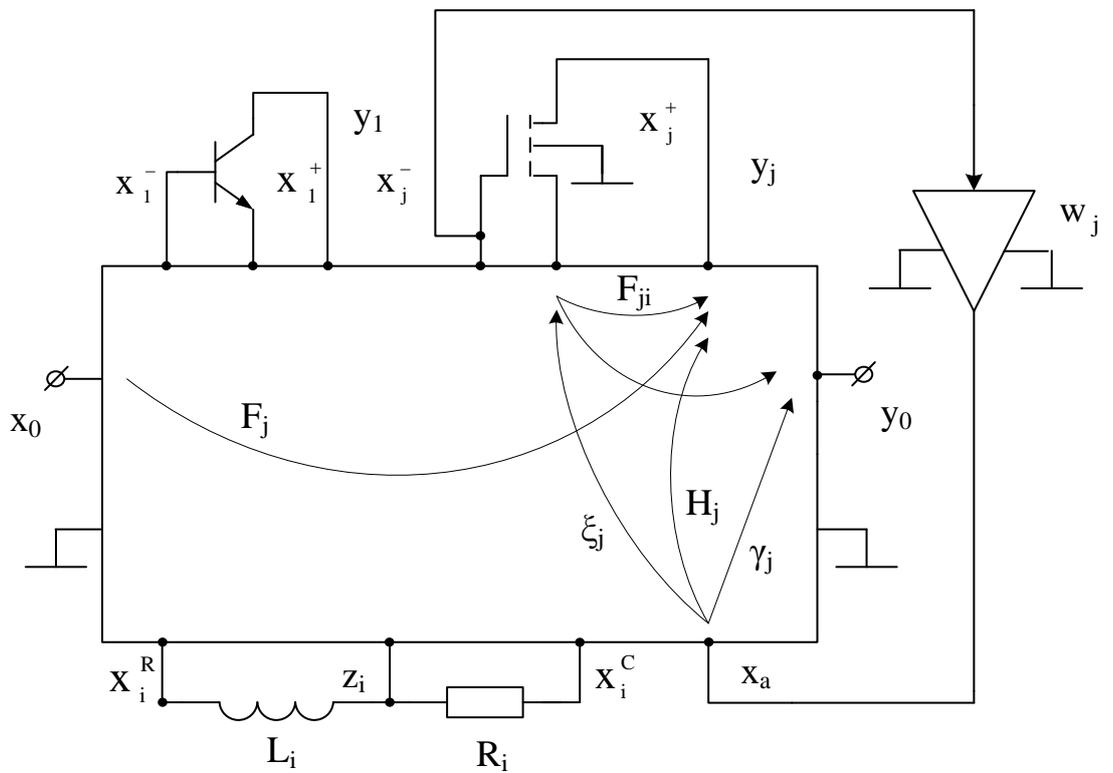


Рисунок 2.13 – Взаимная компенсация влияния параметров активных элементов и RL цепей (С29)

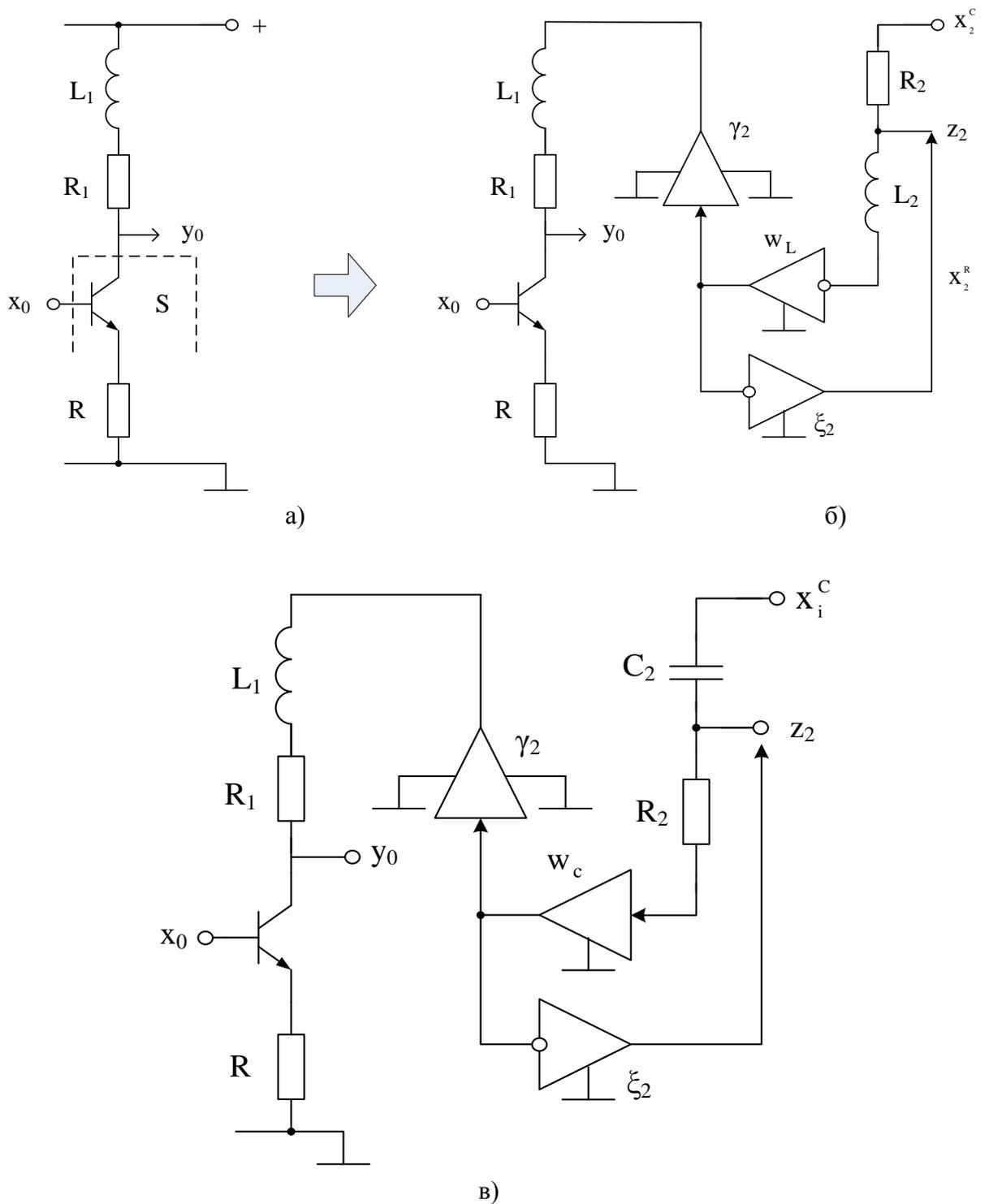


Рисунок 2. 14 – Исходная схема каскада с индуктивной нагрузкой (а), структура цепи взаимной компенсации параметрами  $L_2, R_2$  (б) и структура цепи взаимной компенсацией индуктивности RC-цепью  $R_2, C_2$  (в)

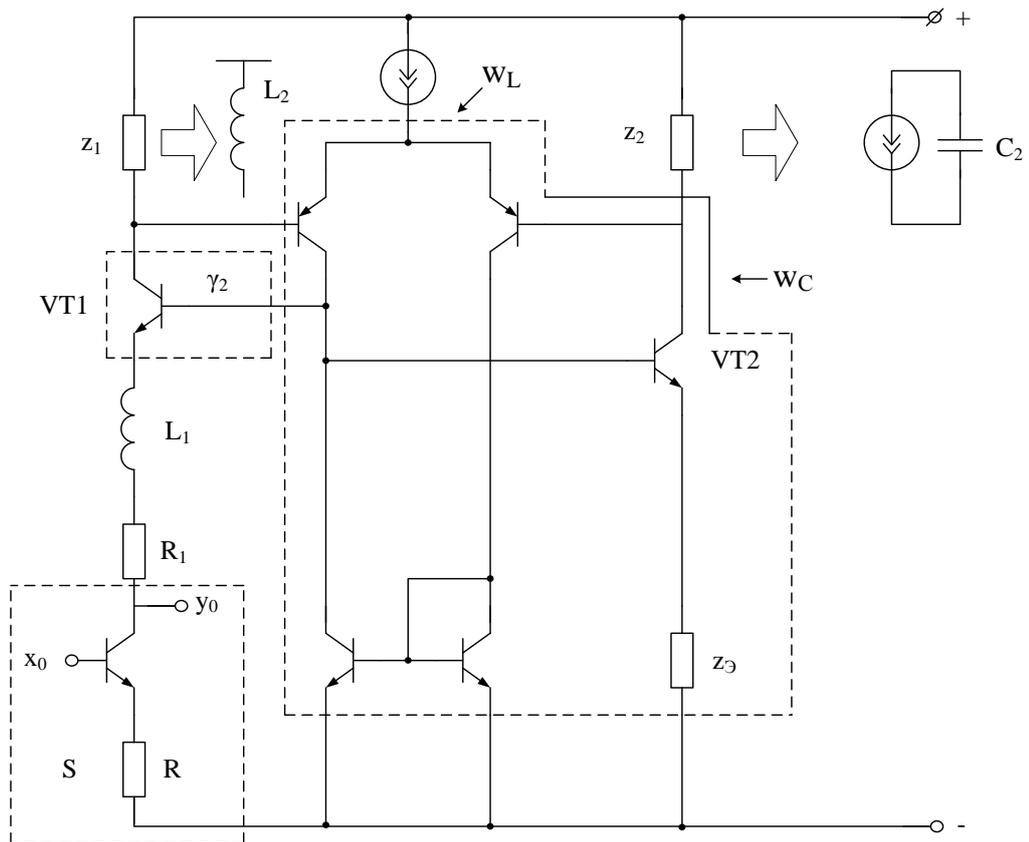


Рисунок 2.15 Принципиальная схема каскада с взаимной компенсацией  $L_1$  на коэффициент усиления в терминах обобщенных импедансов ( $z_1, z_2, z_3$ ) (С31)

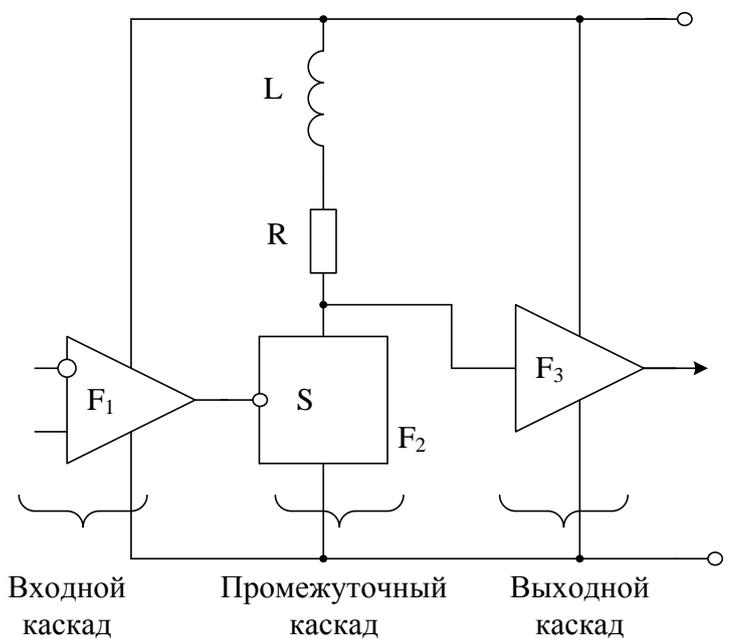


Рисунок 2.16 – Типовая структура дифференциального усилителя

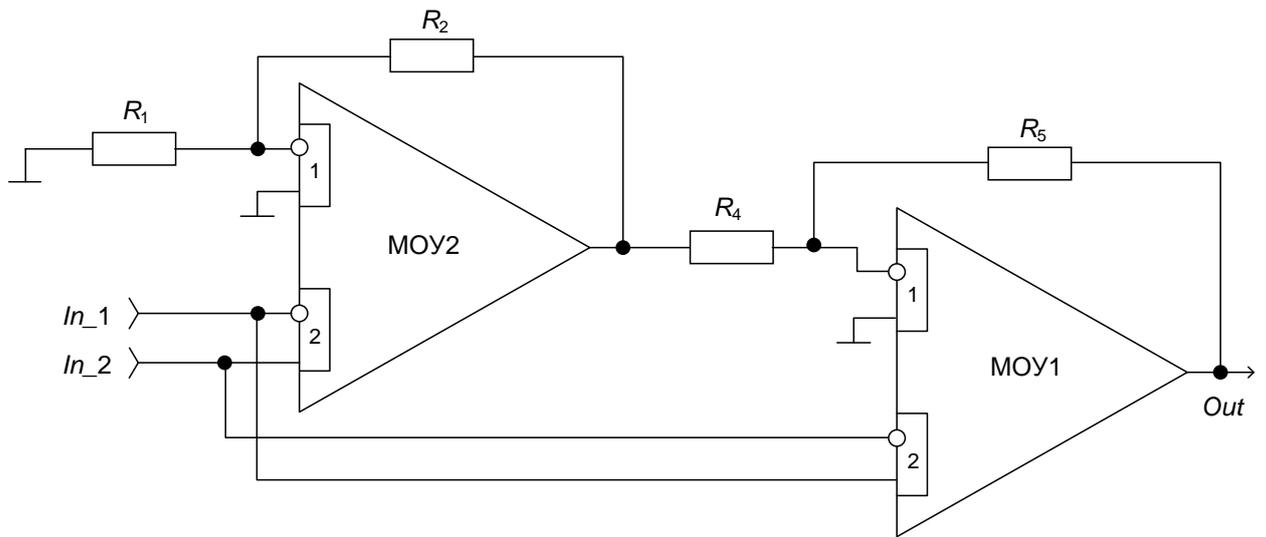


Рисунок 2.24 – Принципиальная схема инструментального усилителя на основе двух мультидифференциальных ДУ

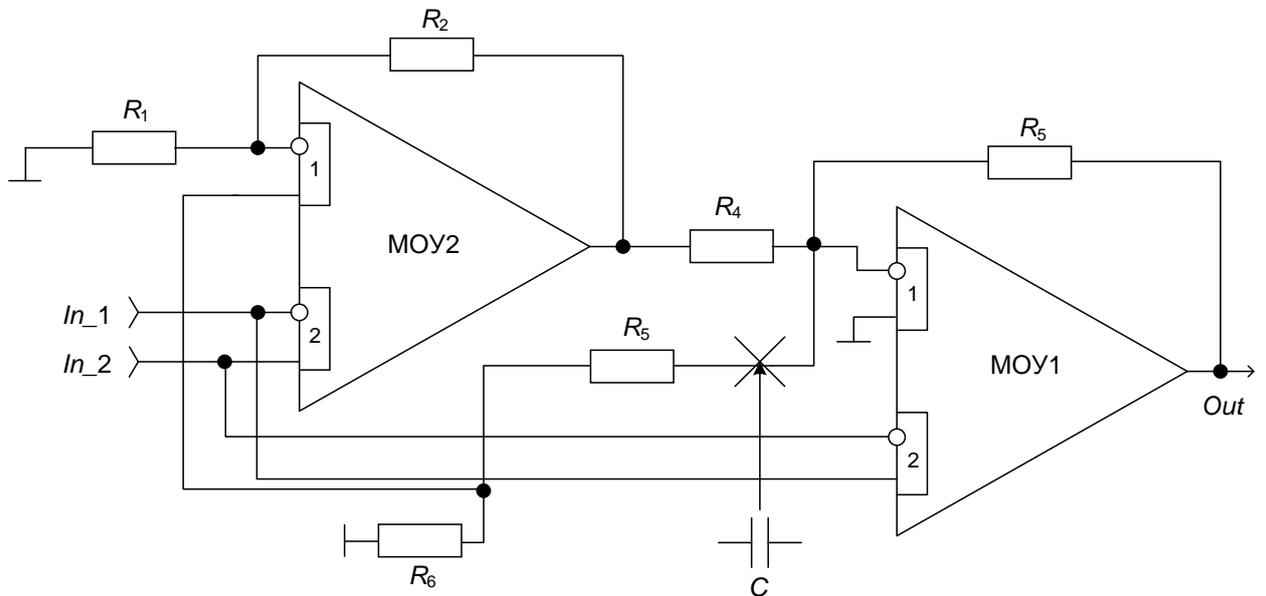


Рисунок 2.25 – Модифицированная схема инструментального усилителя

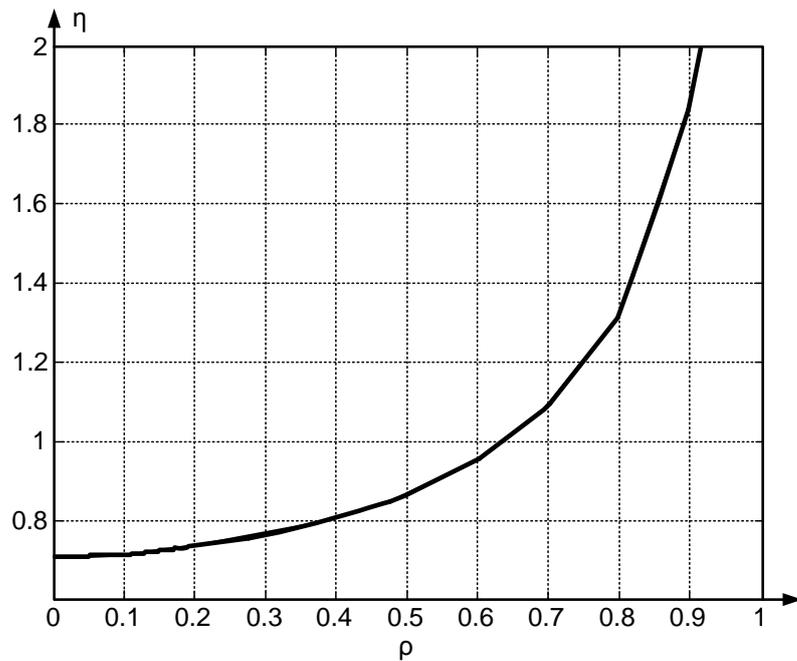


Рисунок 2.26 – Зависимость коэффициента эффективности схемы  $\eta$  как отношения ЭДС смещения нуля классической структуры инструментального усилителя и синтезированной схемы ИУ от коэффициента корреляции  $\rho$  при условии равенства дисперсий  $\sigma_e^2$  и процента выхода годных изделий

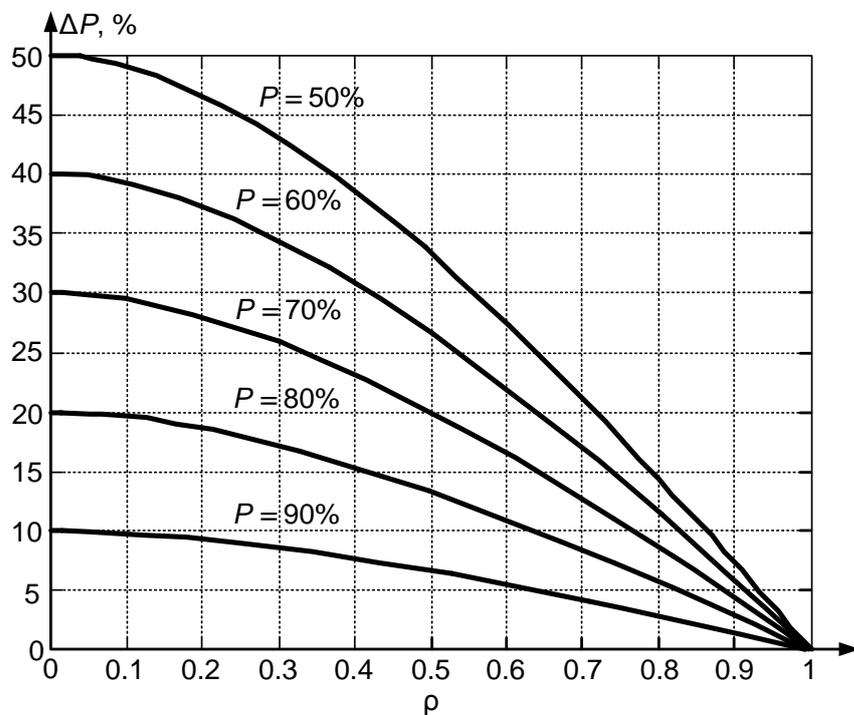


Рисунок 2.27 – Зависимость процента выхода годных изделий ( $\Delta P$ ) от коэффициента корреляции

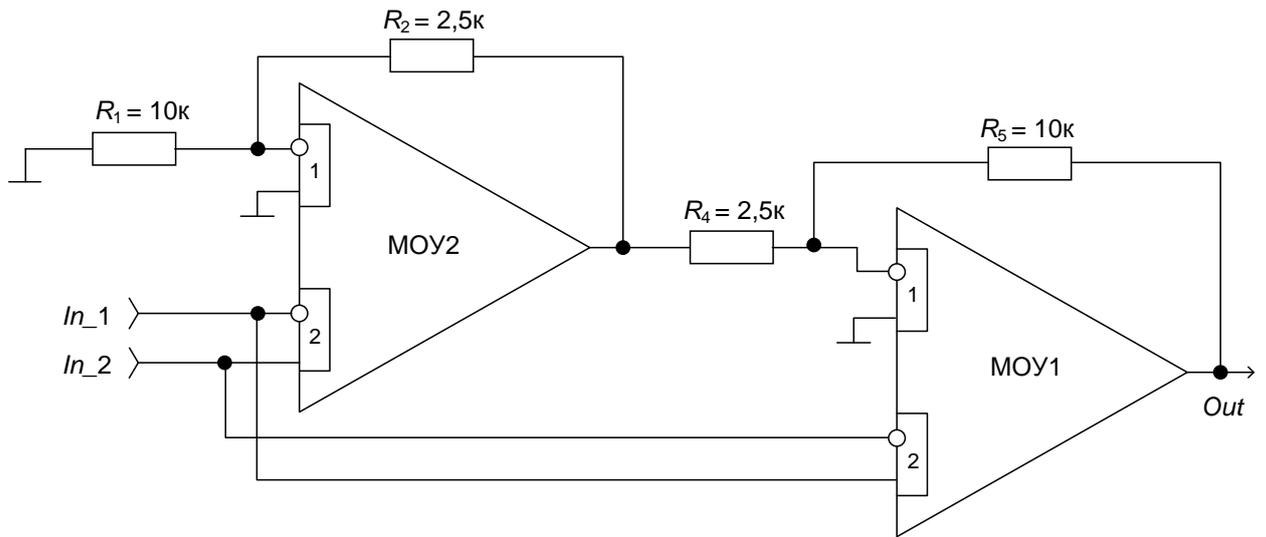


Рисунок 2.28 – Мультидифференциальный ОУ в режиме инструментального усилителя

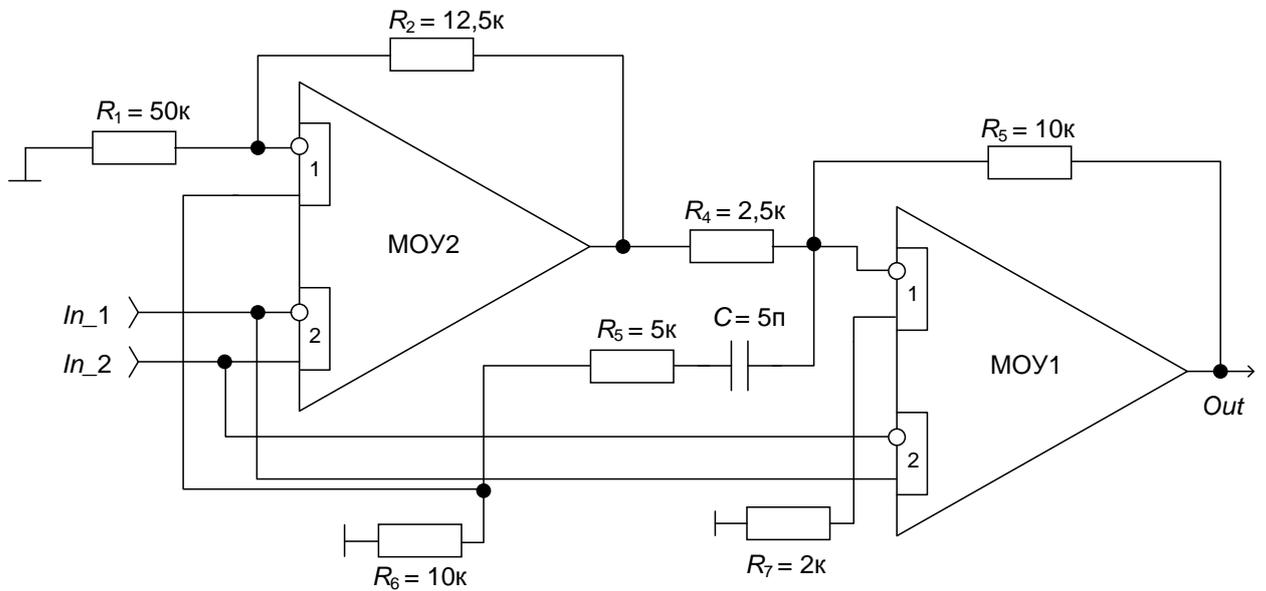


Рисунок 2.29 – Инструментальный усилитель на основе МОУ с дополнительной обратной связью

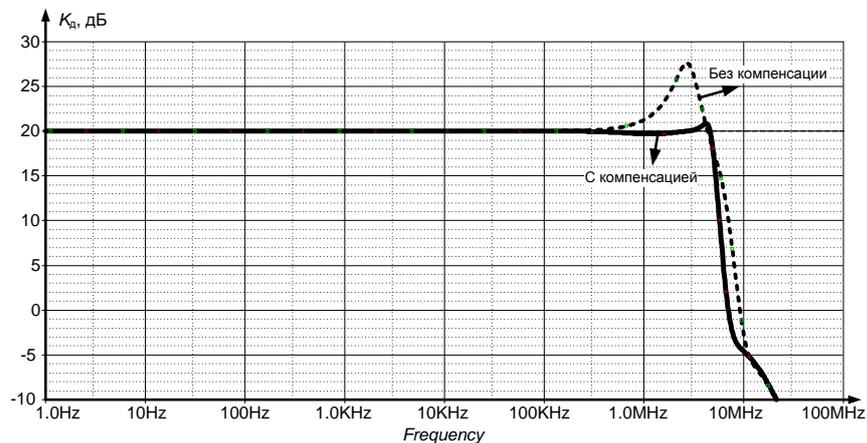


Рисунок 2.30 – Зависимость коэффициента дифференциального сигнала  $K_d$  от частоты (рис. 2.29)

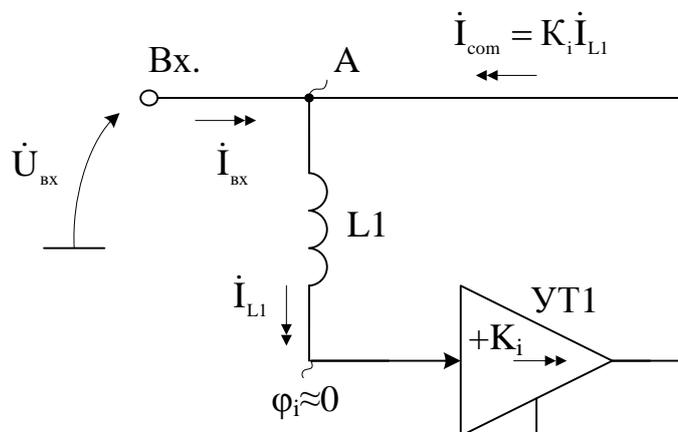


Рисунок 2.31 – Метод компенсации импеданса индуктивности на основе усилителя тока

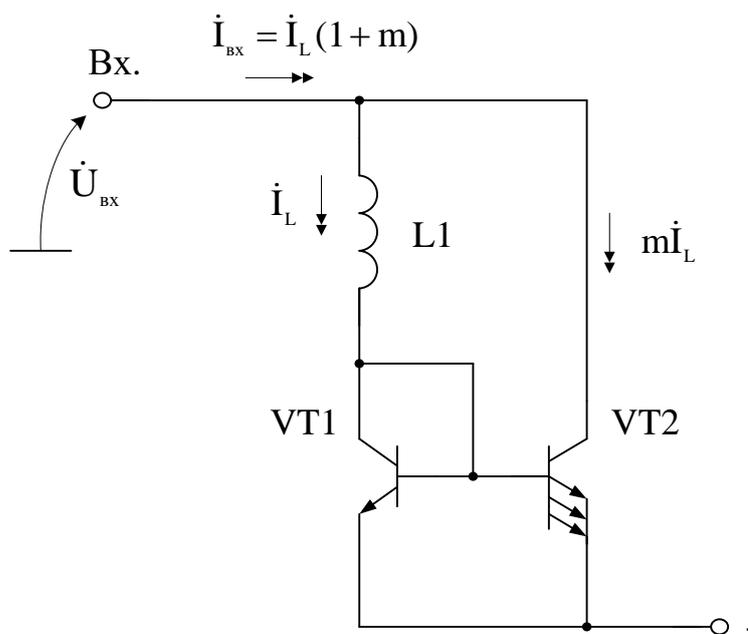


Рисунок 2.32 – Схема деления индуктивности

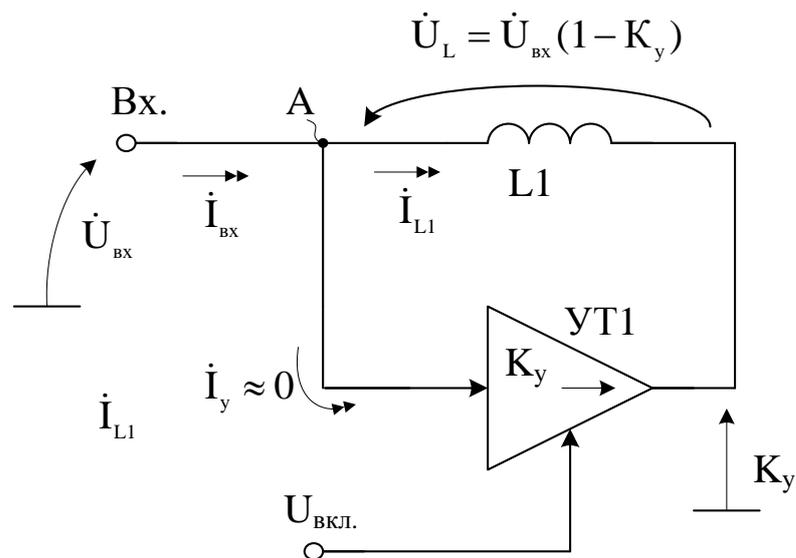


Рисунок 2.33 – Метод управления параметром индуктивности  $L1$

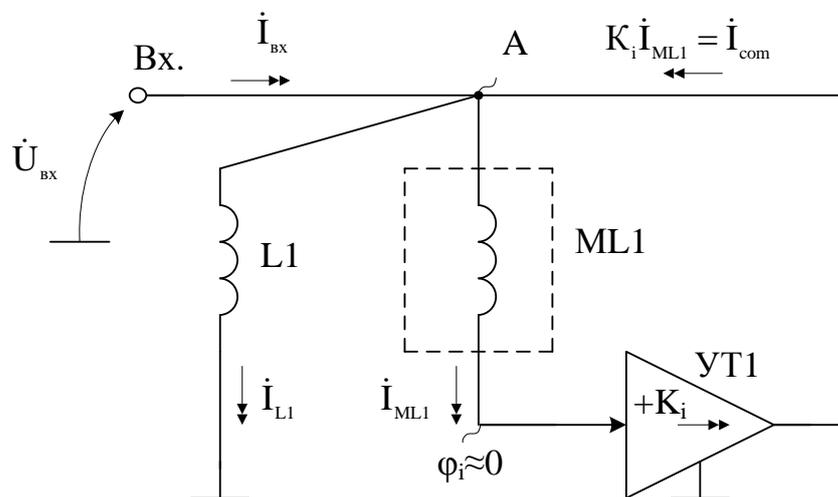
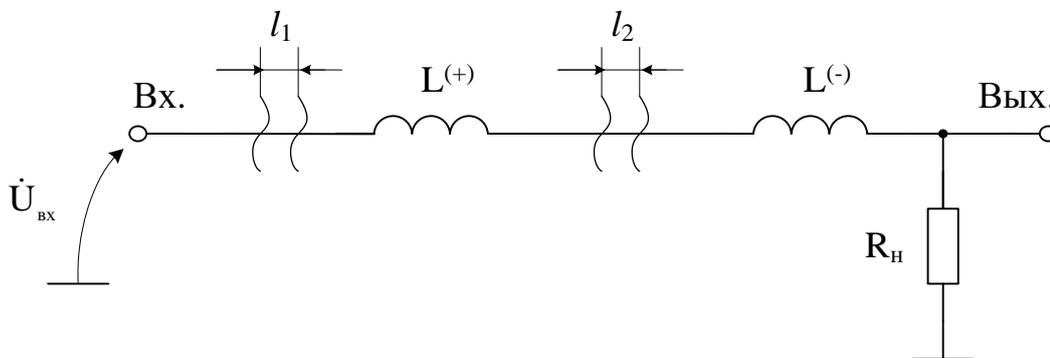


Рисунок 2.34 – Метод компенсации индуктивности с использованием ее модели  $ML1$



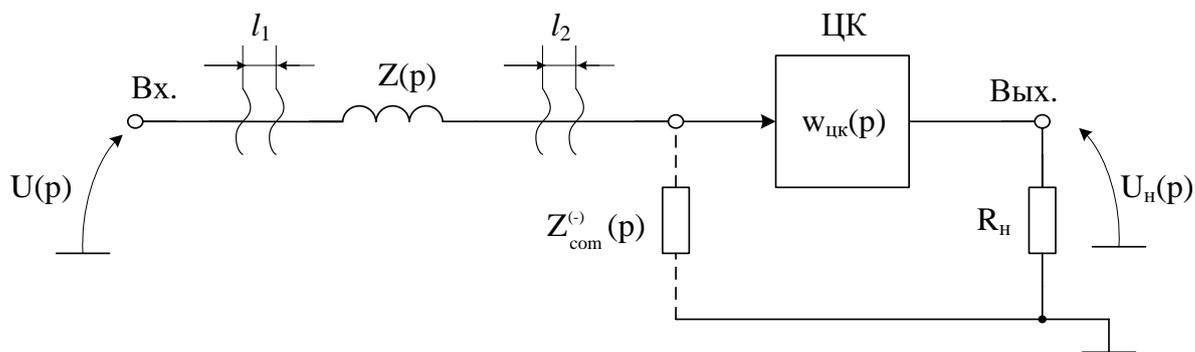
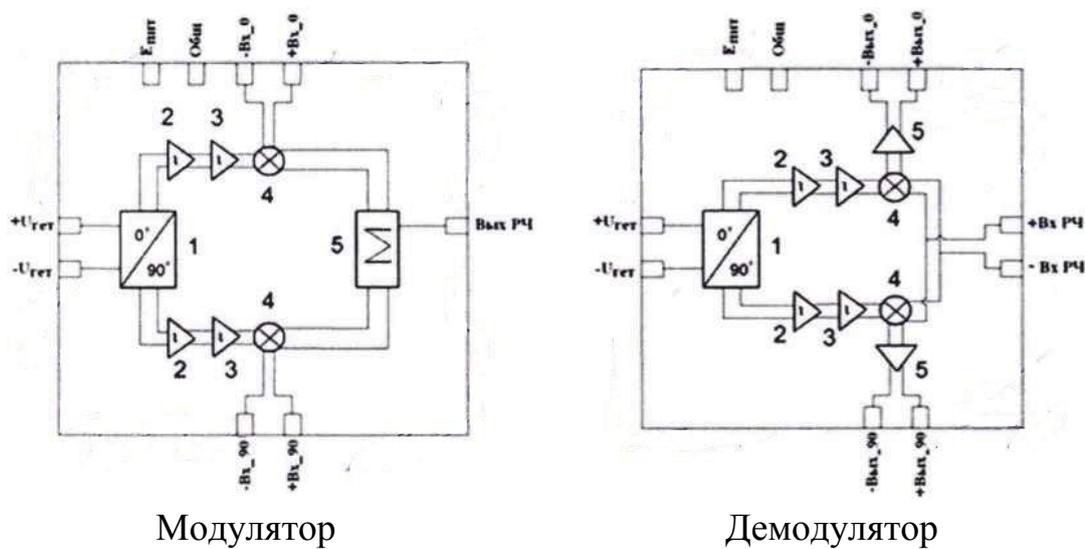


Рисунок 2.36 – Метод компенсации индуктивности линии связи цепью активной коррекции с отрицательной входной индуктивностью  $Z_{\text{com}}^{(-)}(p)$  (П6524)

### 3. Селективные формирователи квадратурных сигналов на основе индуктивных элементов для систем связи и телекоммуникаций



Модулятор

Демодулятор

- 1 - полифазный фильтр;
- 2, 3 - усилители-ограничители;
- 4 - смеситель;
- 5 - выходной буфер.

Рисунок 3.1 – Структура модуляторов и демодуляторов.

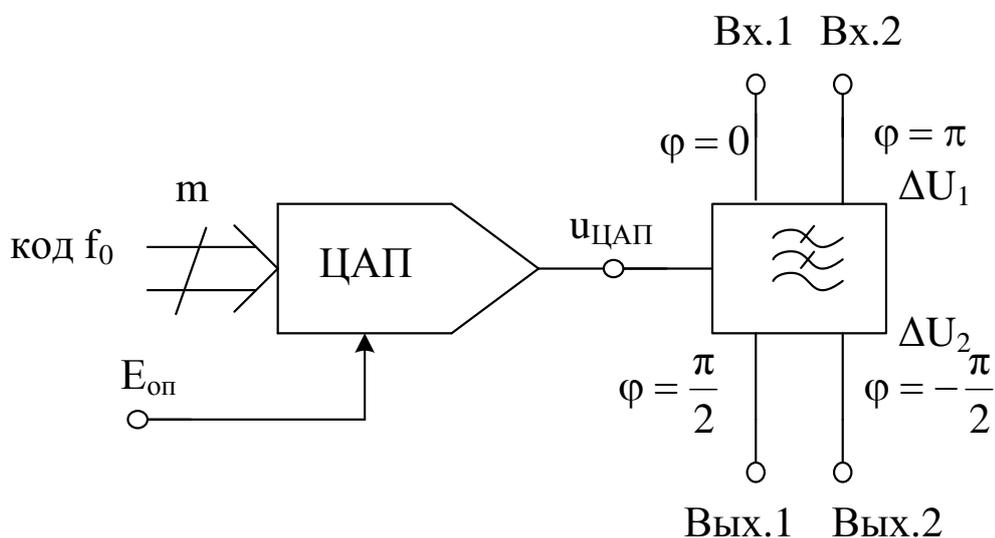
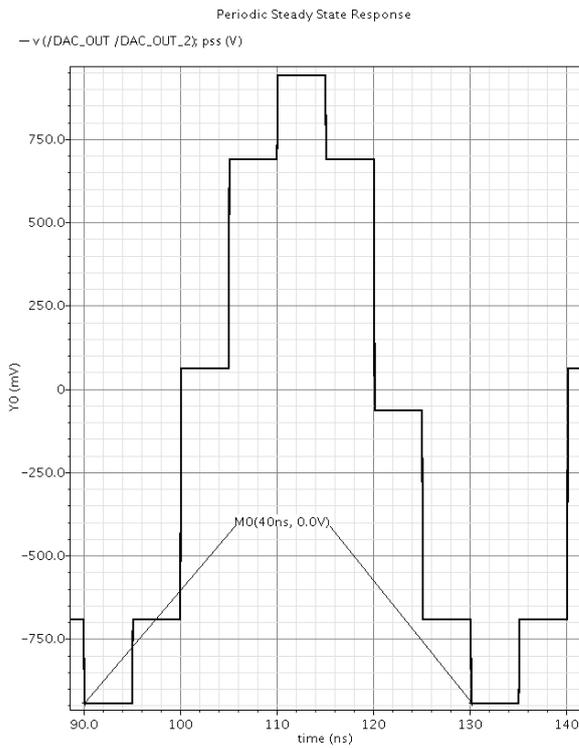
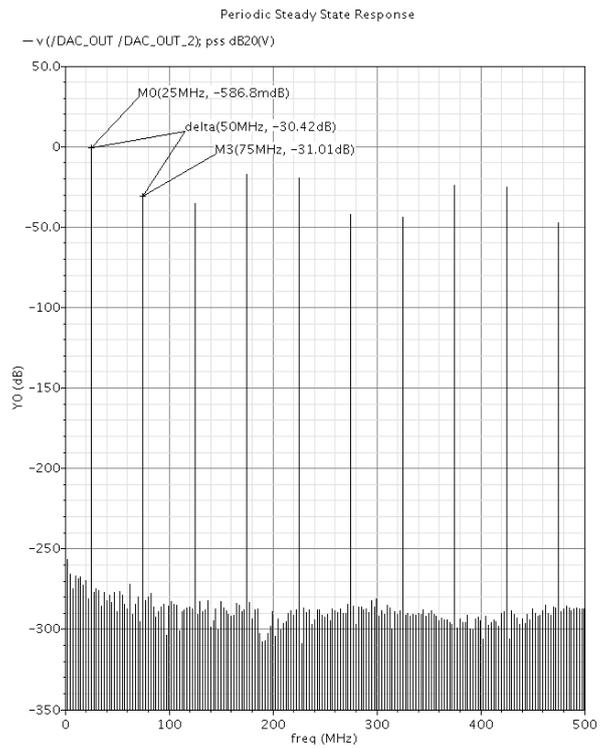


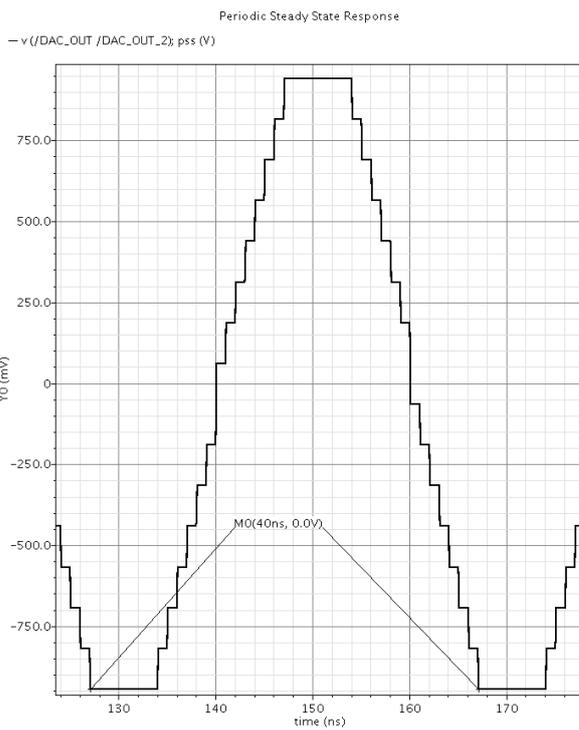
Рисунок 3.2 – Функциональная схема селективного формирователя квадратурных сигналов



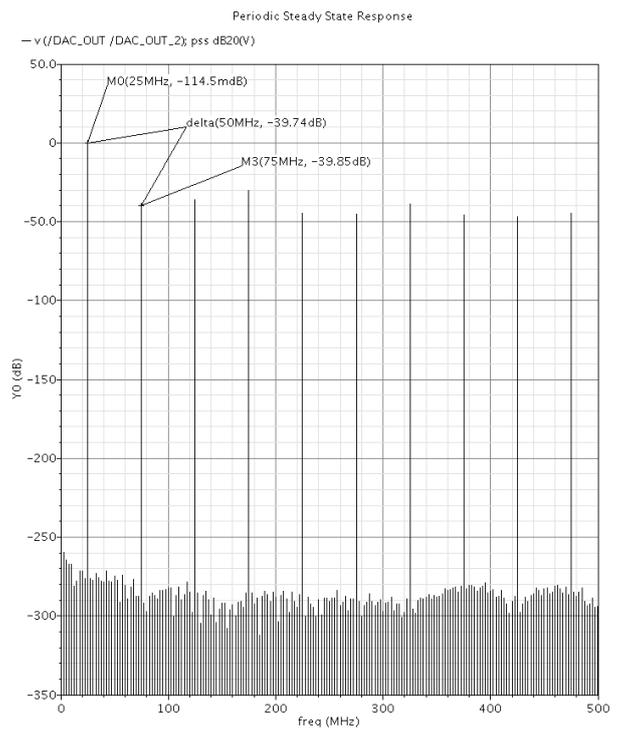
а)



б)



в)



г)

Рисунок 3.3 – Временные диаграммы и спектр синтезируемого гармонического сигнала  $f_0=25$  МГц при типовых частотах 200 МГц (а, б) и 1,0 ГГц (в, г)

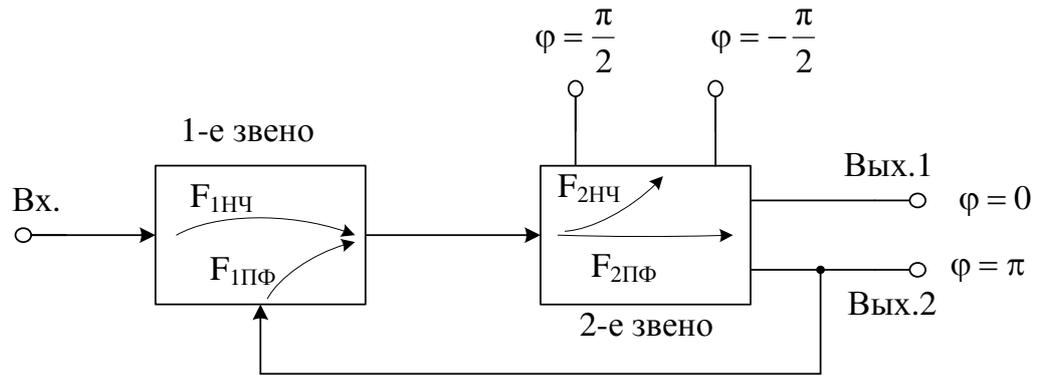


Рисунок 3.4 – Низкочувствительный селективный формирователь квадратурных сигналов четвертого порядка

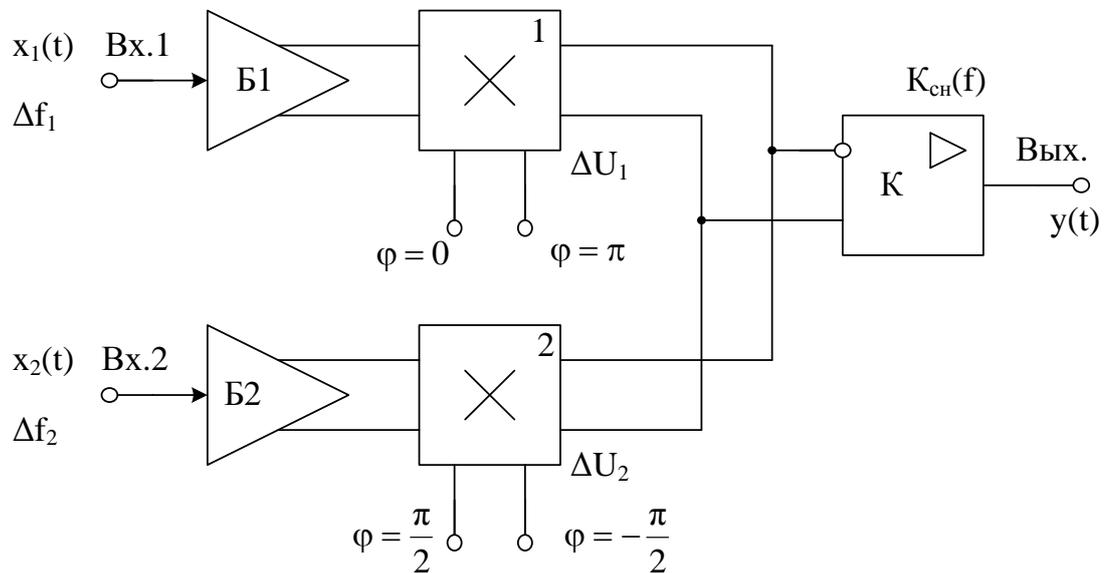


Рисунок 3.5 – Структурная схема квадратурного модулятора

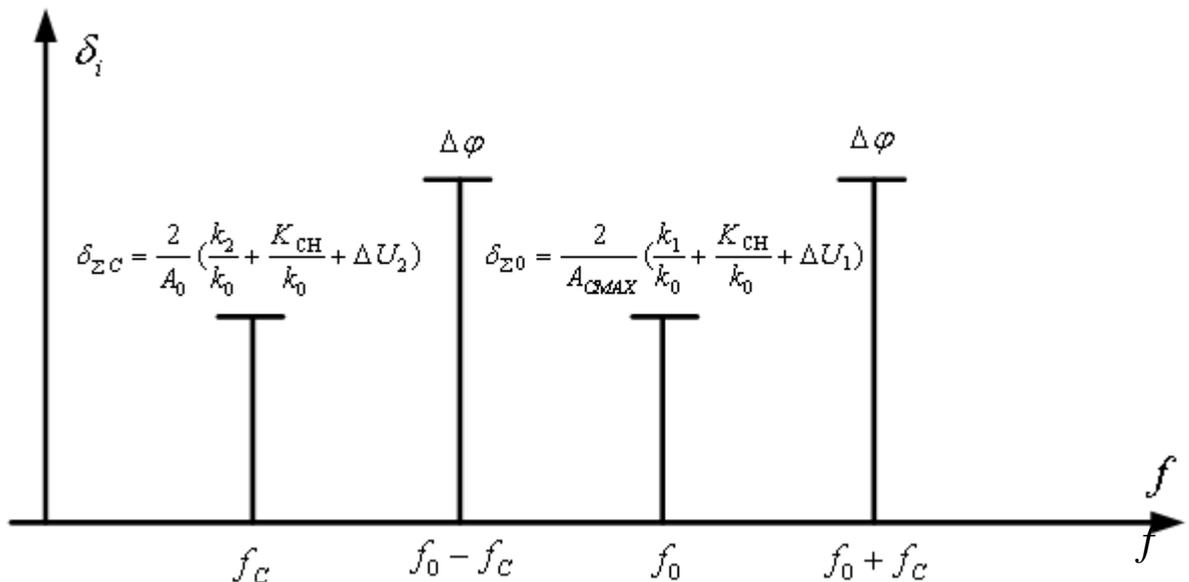


Рисунок 3.6 – Влияние базовых составляющих погрешности на спектр КМ.

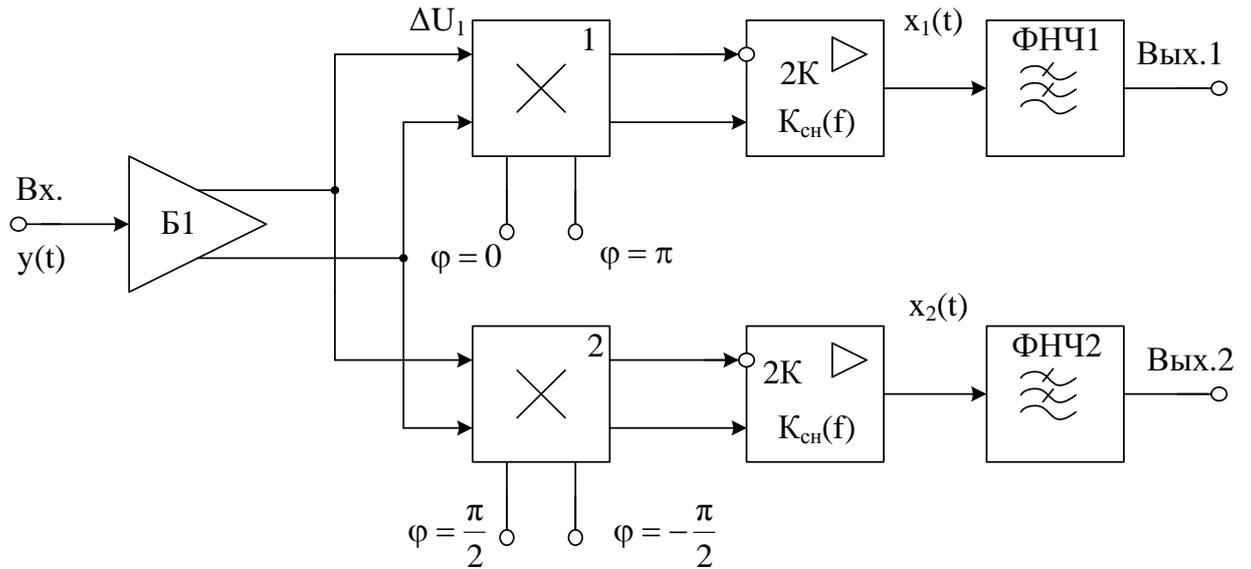


Рисунок 3.7 – Структурная схема квадратурного демодулятора

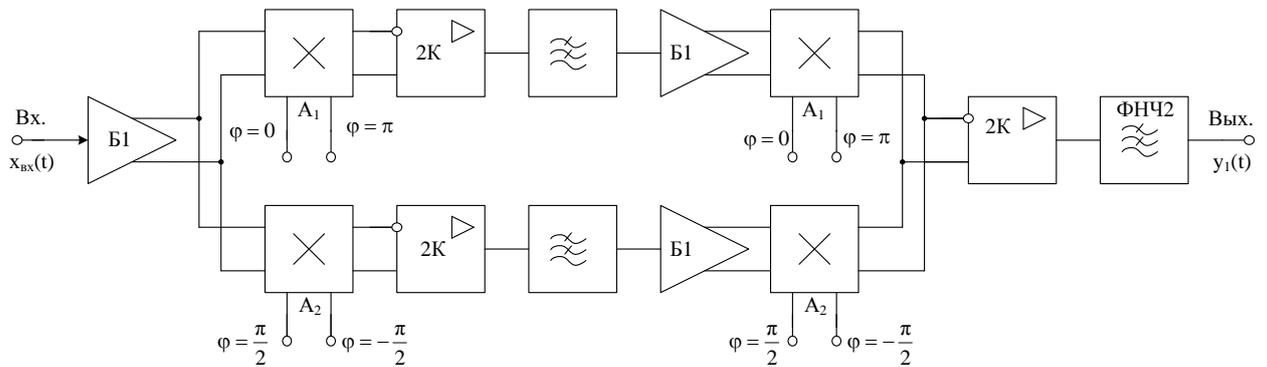


Рисунок 3.8 – Структурная схема синхронного фильтра с прямыми квадратурными каналами

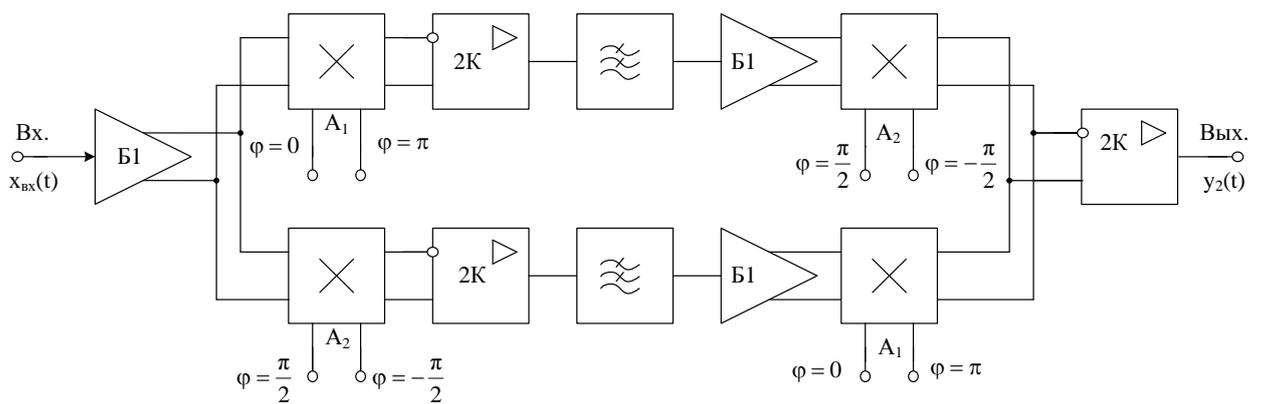


Рисунок 3.9 – Структурная схема синхронного фильтра с перекрестными квадратурными каналами

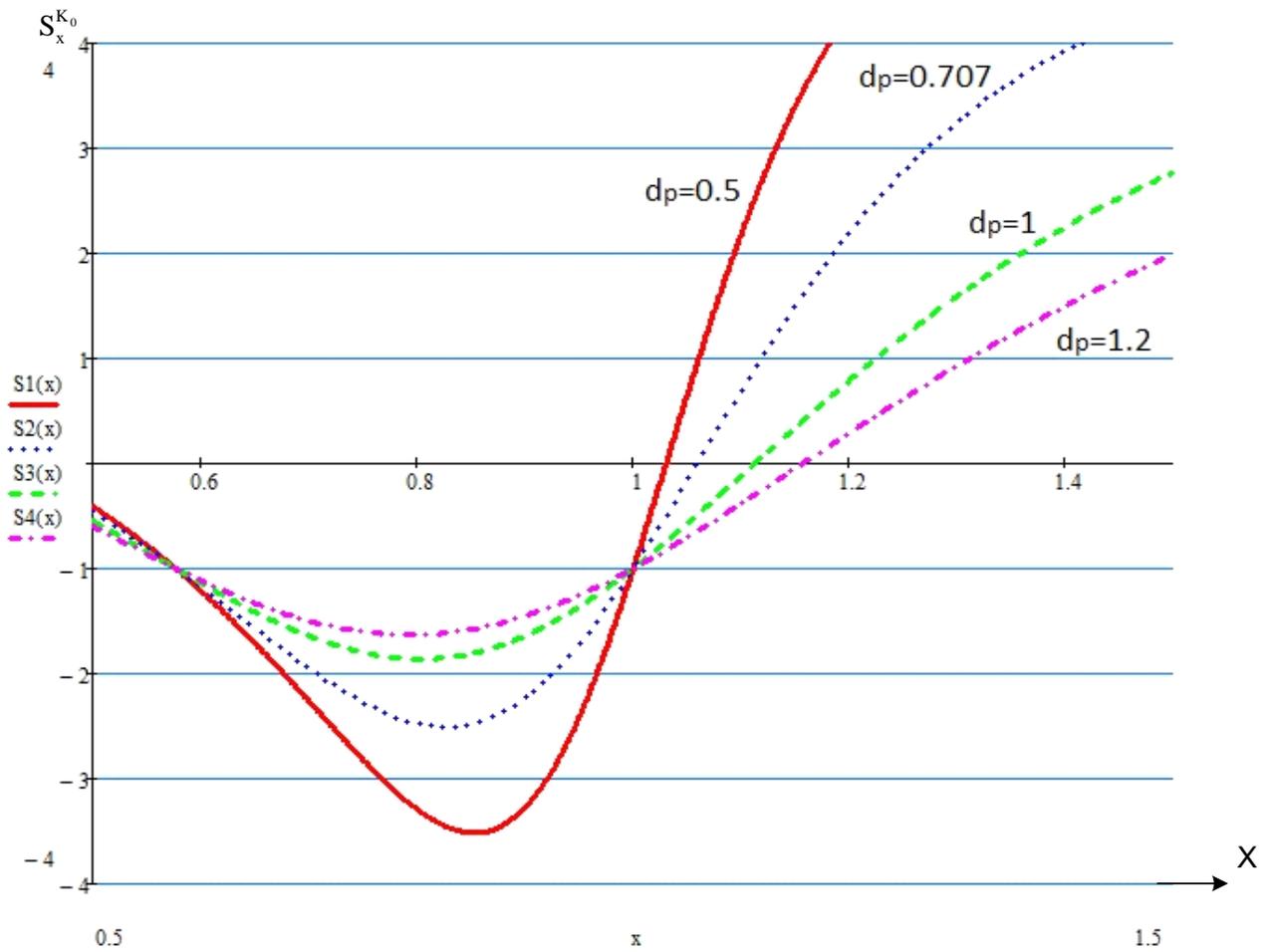


Рисунок 3.10 – Чувствительность коэффициента передачи синхронного фильтра от частотной расстройки  $X$  при различных затуханиях полюса формирователя квадратурных сигналов

#### 4, Разработка, исследование и компьютерное моделирование новых и перспективных методов собственной и взаимной компенсации паразитных параметров транзисторов и усилительных каскадов для ВЧ и СВЧ диапазонов

В настоящем разделе рассматриваются новые методы собственной и взаимной компенсации паразитных параметров транзисторов усилительных каскадов, которые, в отличие от известных, позволяют обеспечить уменьшение влияния на верхнюю граничную частоту не только проходных емкостей коллектор-база выходных транзисторов, но и паразитных емкостей нагрузки, включающих емкости на подложку.

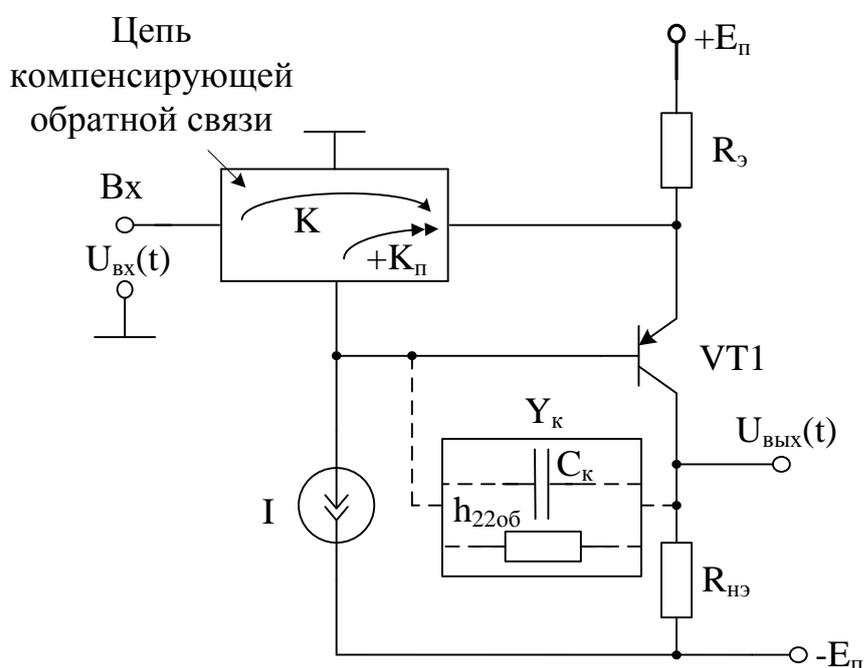


Рисунок 4.1 – Структура каскада с собственной компенсацией

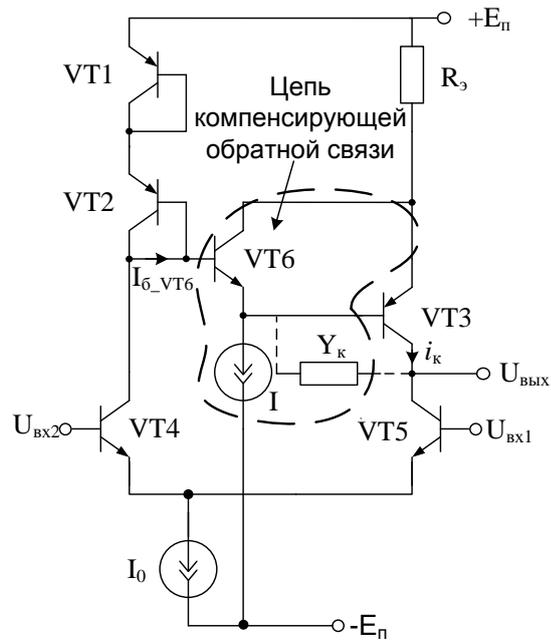


Рисунок 4.2 – Усилительный каскад с контуром собственной компенсации в ДН

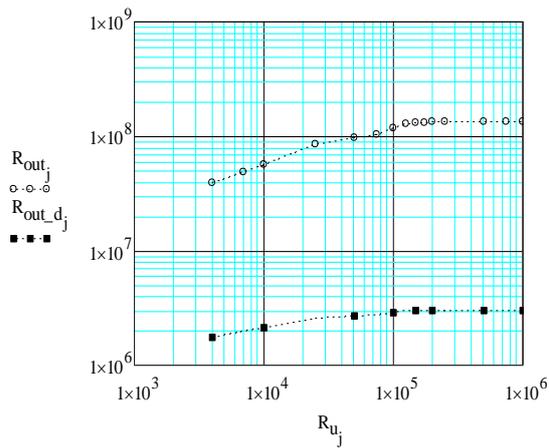


Рисунок 4.3 – Выходное сопротивление динамической нагрузки  $R_{вых}$

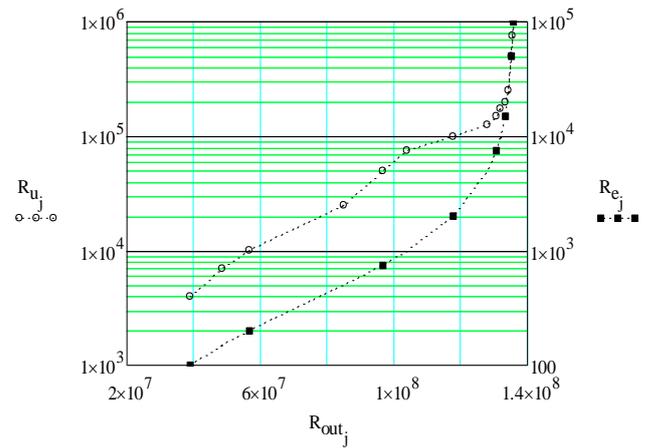


Рисунок 4.4 – Зависимость  $R_{вых}$  от сопротивлений источника  $R_u$  и  $R_3$

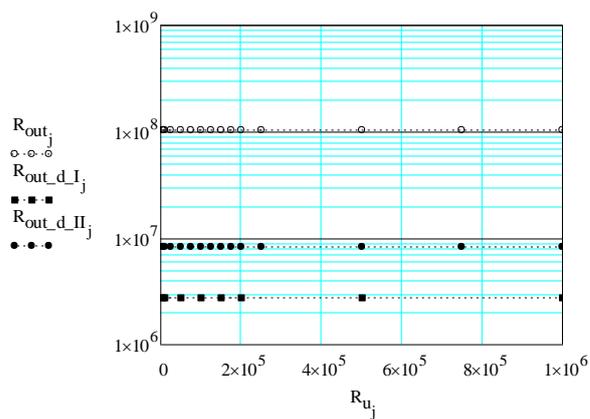


Рисунок 4.5 – Выходное сопротивление динамической нагрузки  $R_{вых}$

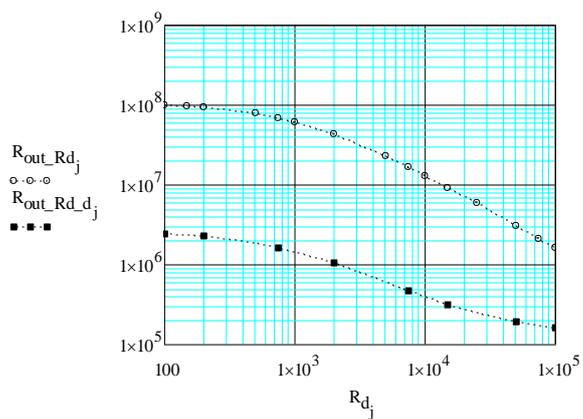


Рисунок 4.6 – Зависимость  $R_{вых}$  от эквивалентного сопротивления  $R_0$

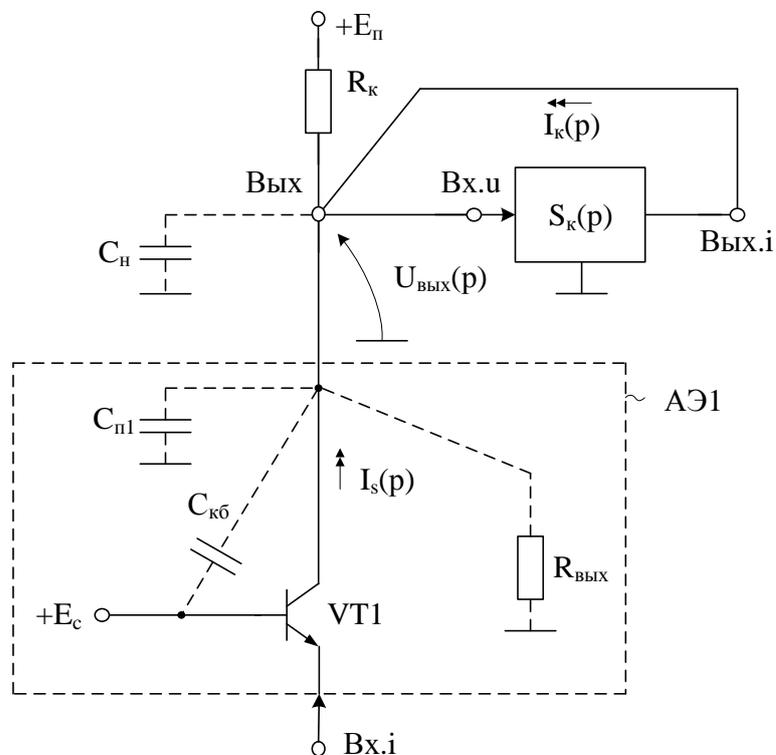


Рисунок 4.7 – Функциональная схема выходной цепи ШУ с цепью компенсации  $S_k(p)$

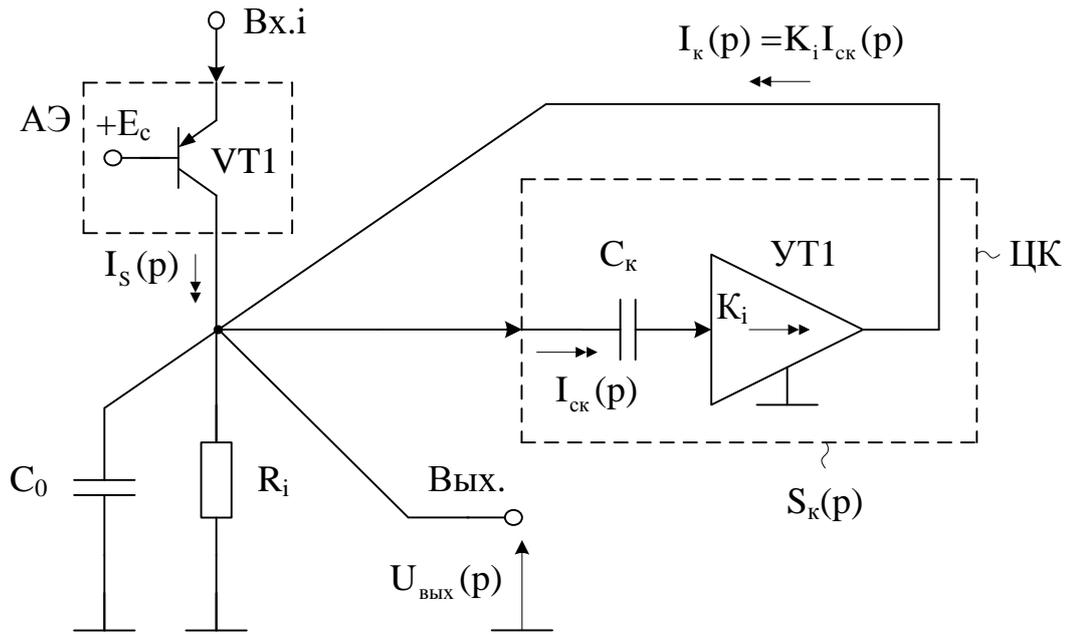


Рисунок 4.8 – ШУ с цепью компенсации на базе усилителя тока (УТ1) с  $K_i > 1$

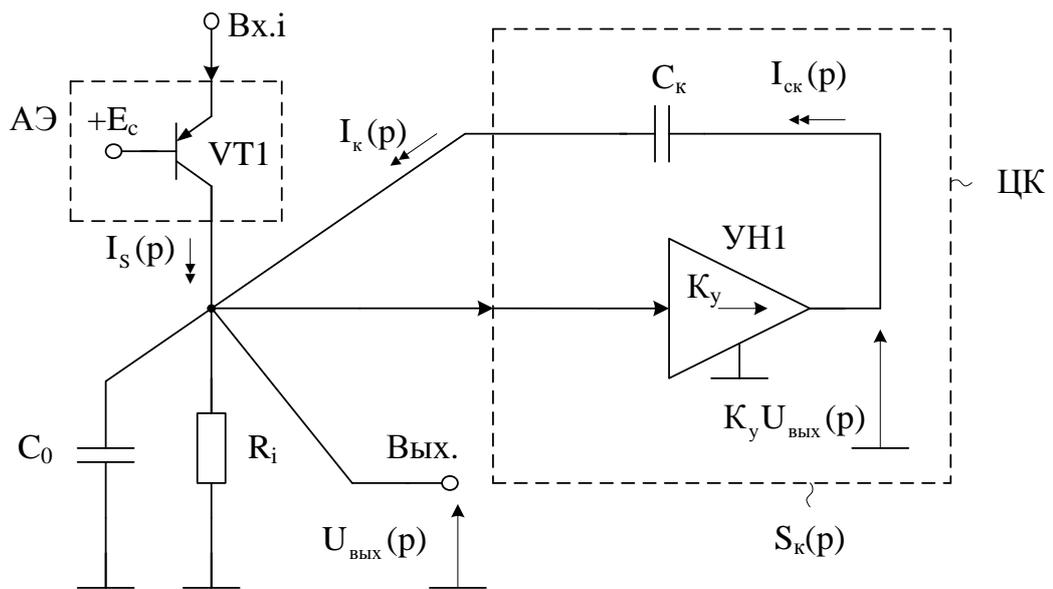


Рисунок 4.8 – ШУ с цепью компенсации на базе неинвертирующего усилителя напряжения (УН1) с  $K_y > 1$

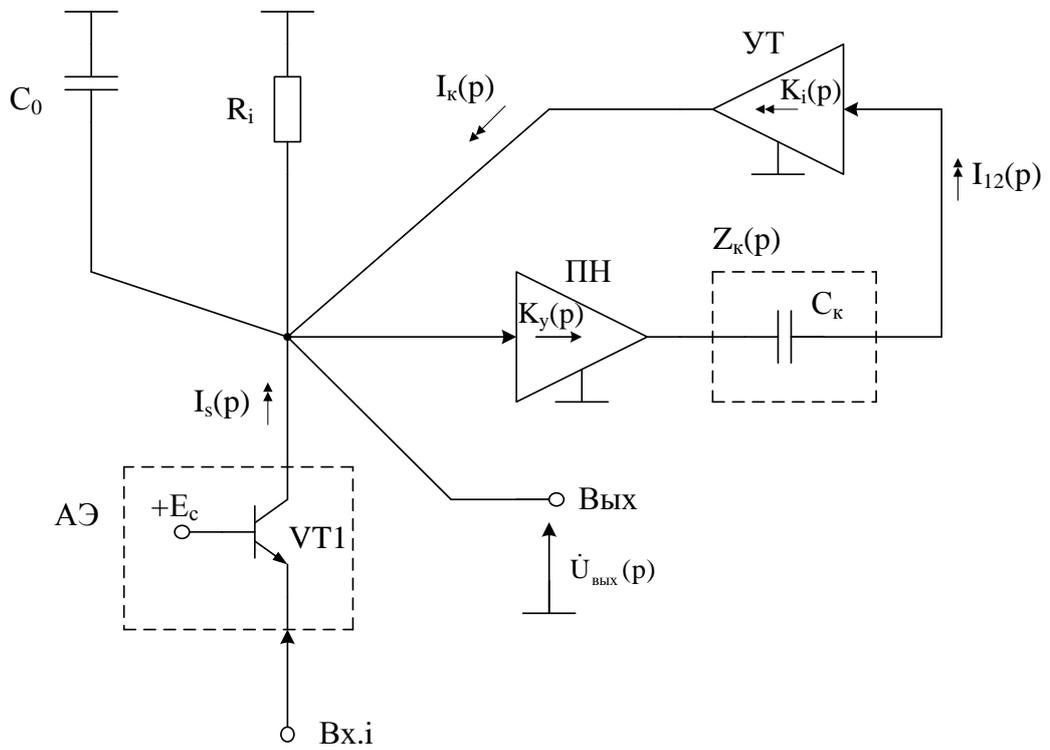
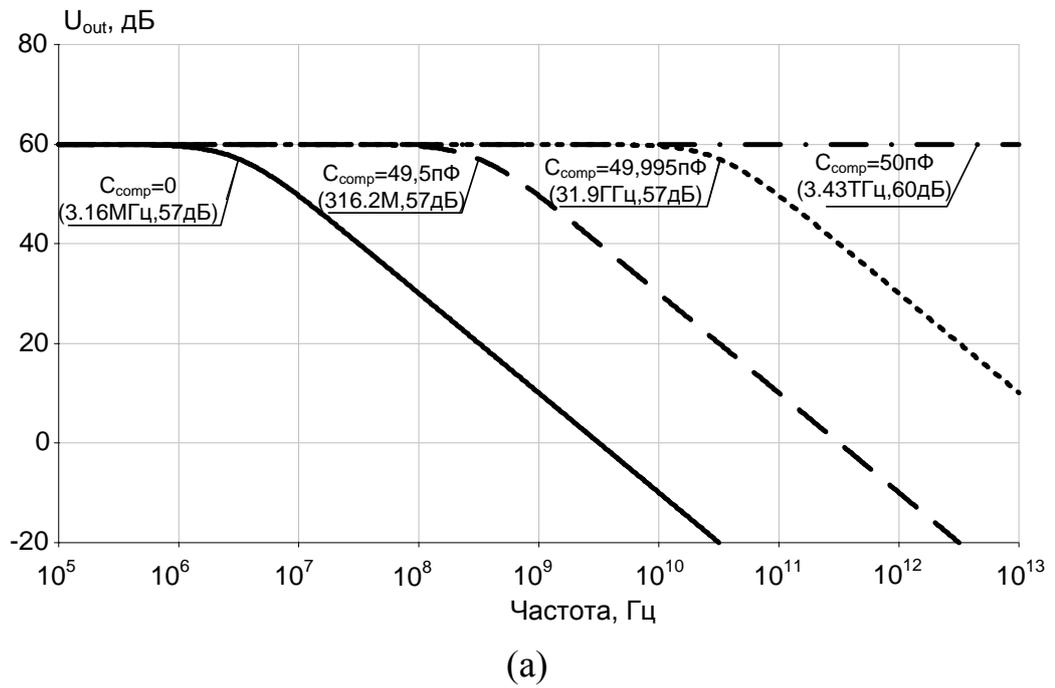
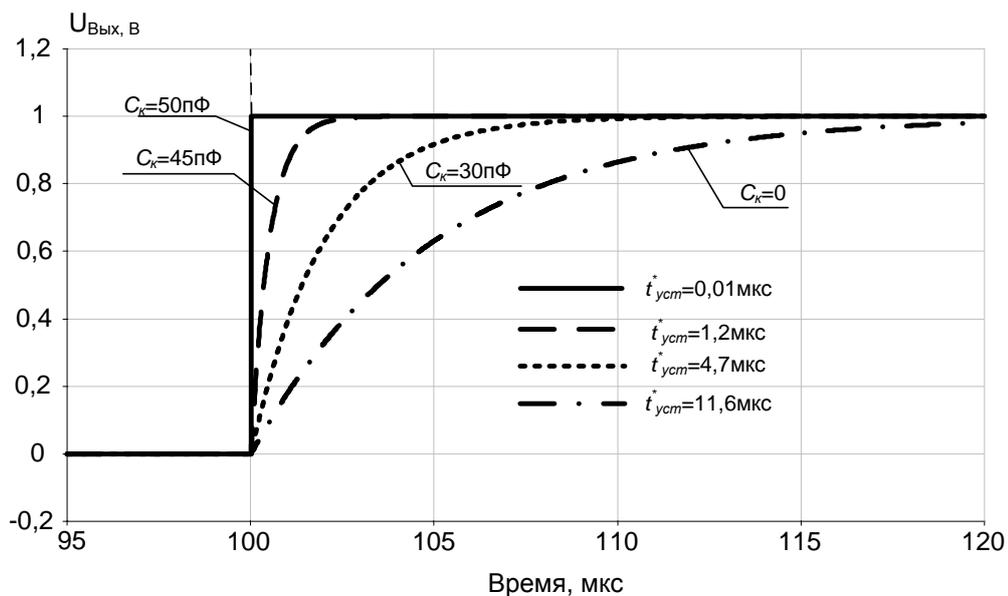


Рисунок 4.9 – Третья практическая схема цепи компенсации





(б)

Рисунок 4.10 – Амплитудно-частотные характеристики коэффициента преобразования выходного тока сенсора в выходное напряжение ШУ (а) и переходный процесс на выходе ШУ (б) при различных значениях корректирующей емкости  $C_k=C_{comp}$

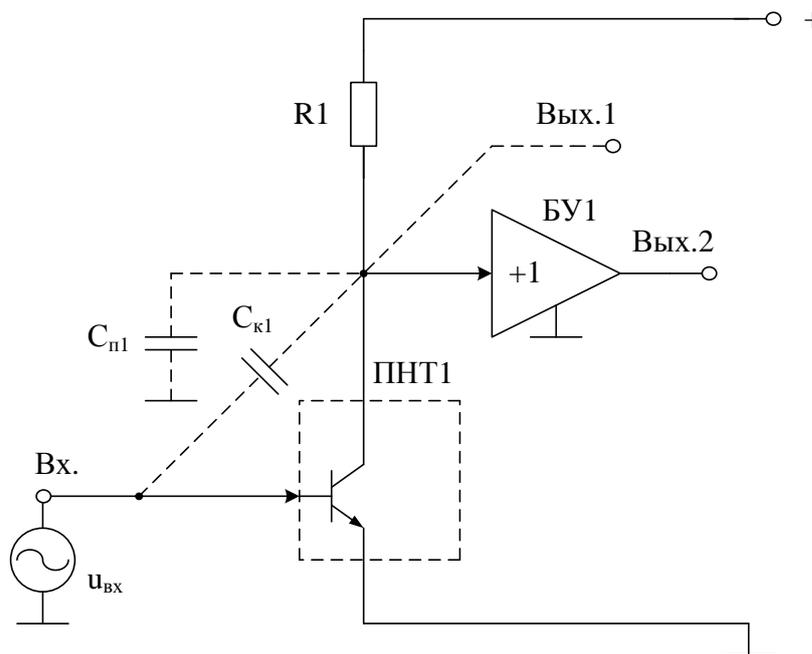


Рисунок 4.12 – Схема классического транзисторного усилителя (ОЭ, ОБ)

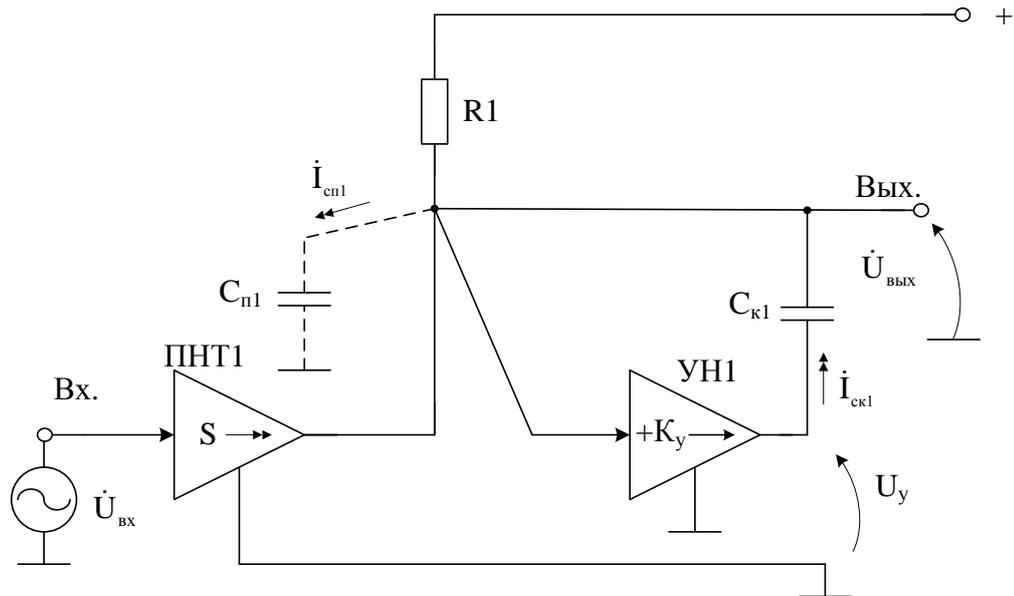


Рисунок 4.13 – Схема транзисторного усилителя с расширенным частотным диапазоном

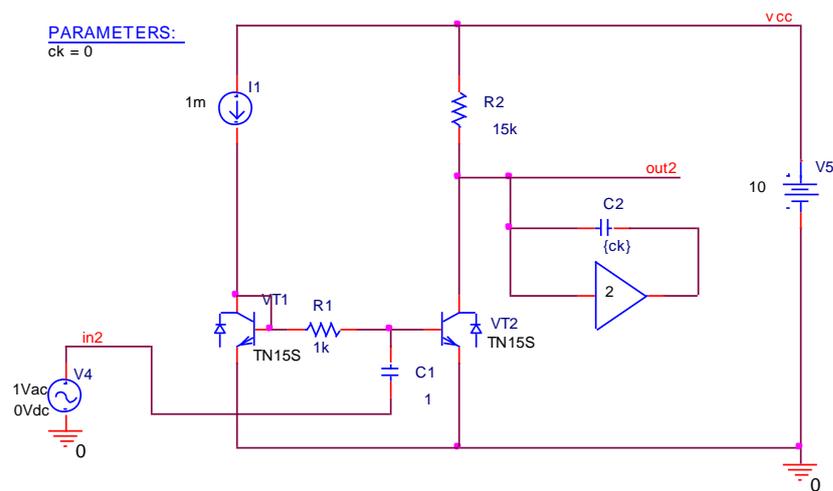


Рисунок 4.14 – Схема предлагаемого ТУ в среде PSpice

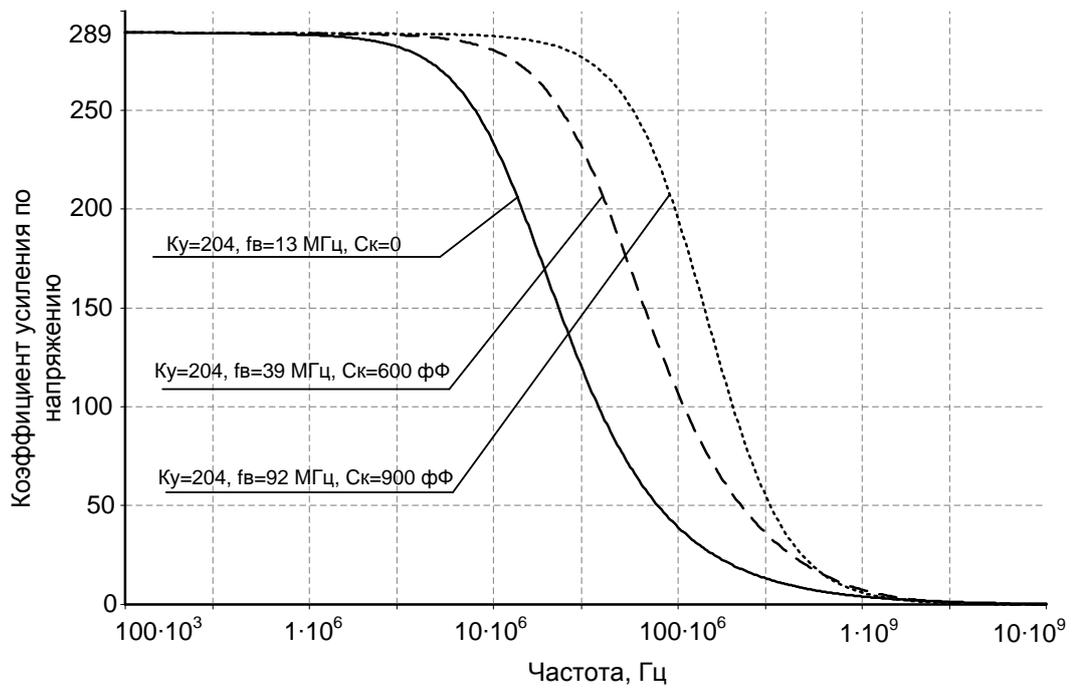


Рисунок 4.15 – Амплитудно-частотная характеристика коэффициента усиления по напряжению ТУ при разных значениях емкости корректирующего конденсатора  $C_k$

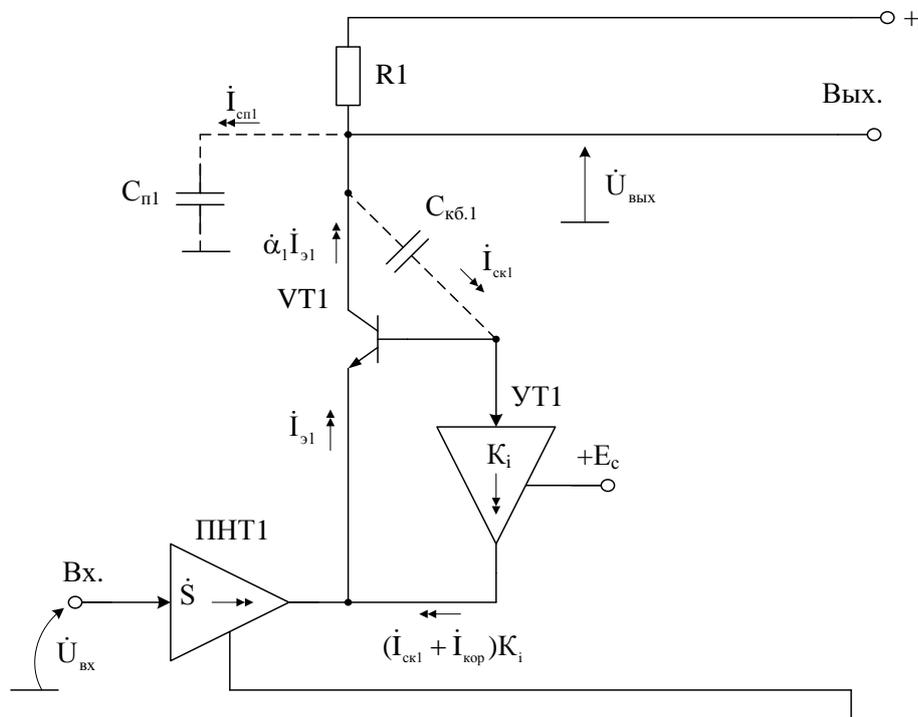


Рисунок 4.16 – Схема классического КУ



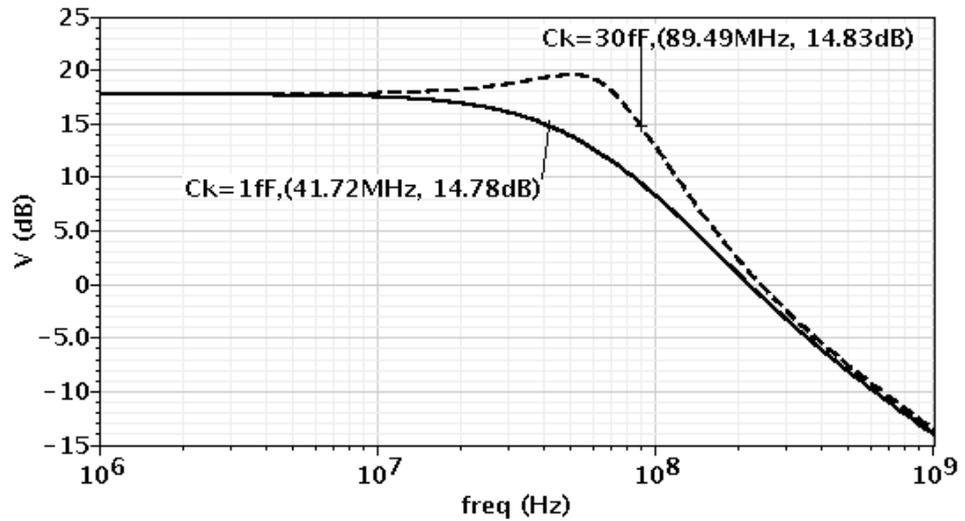


Рисунок 4.19 – Амплитудно-частотная характеристика коэффициента усиления по напряжению широкополосного ДУ при разных значениях емкости корректирующего конденсатора  $C_k$

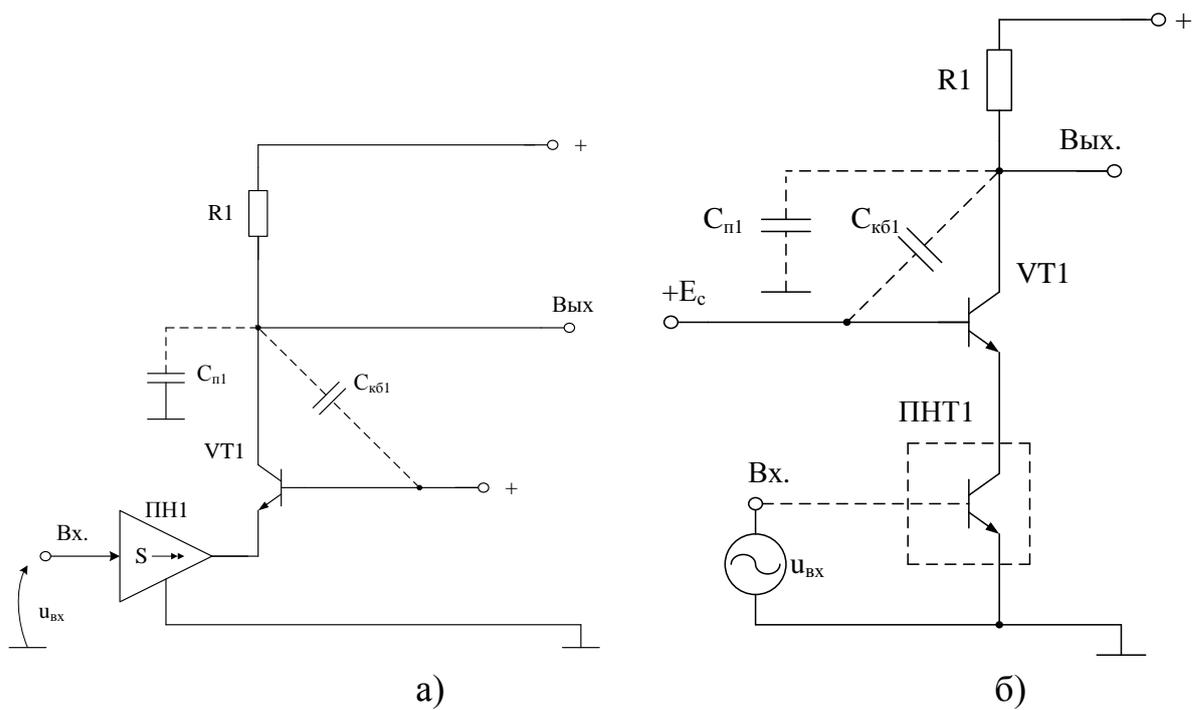


Рисунок 4.20 – Схема классического КУ

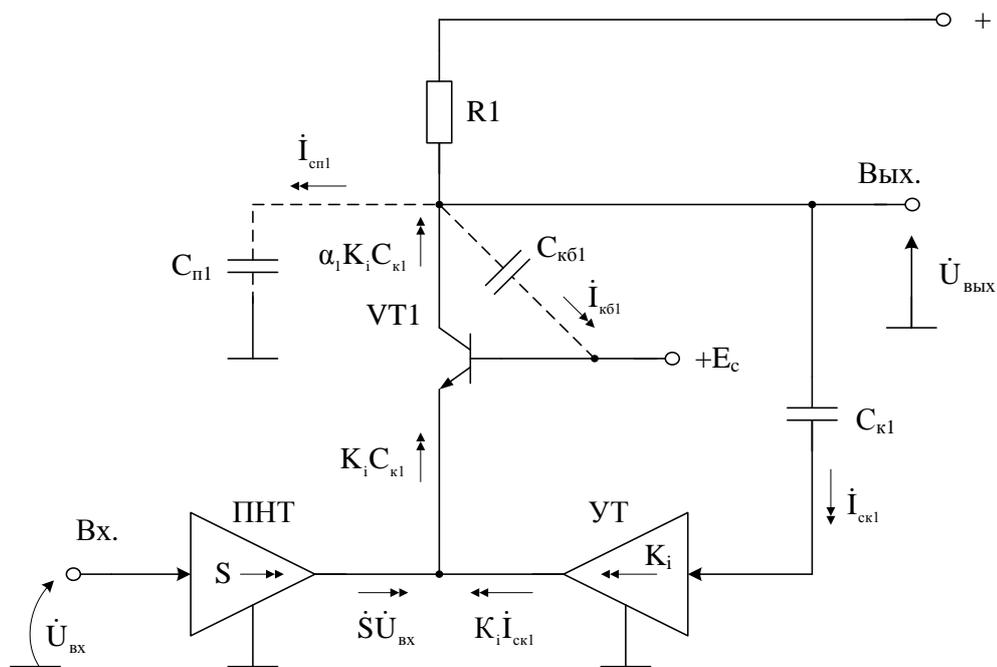


Рисунок 4.21 –Схема предлагаемого КУ

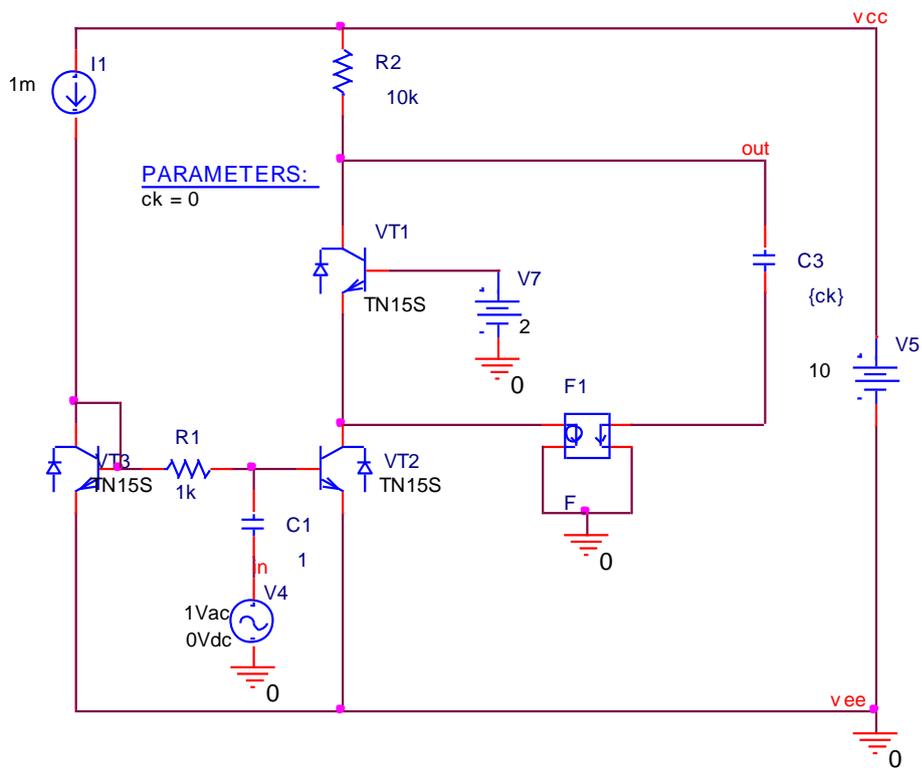


Рисунок 4.22 –Схема предлагаемого КУ в среде PSpice

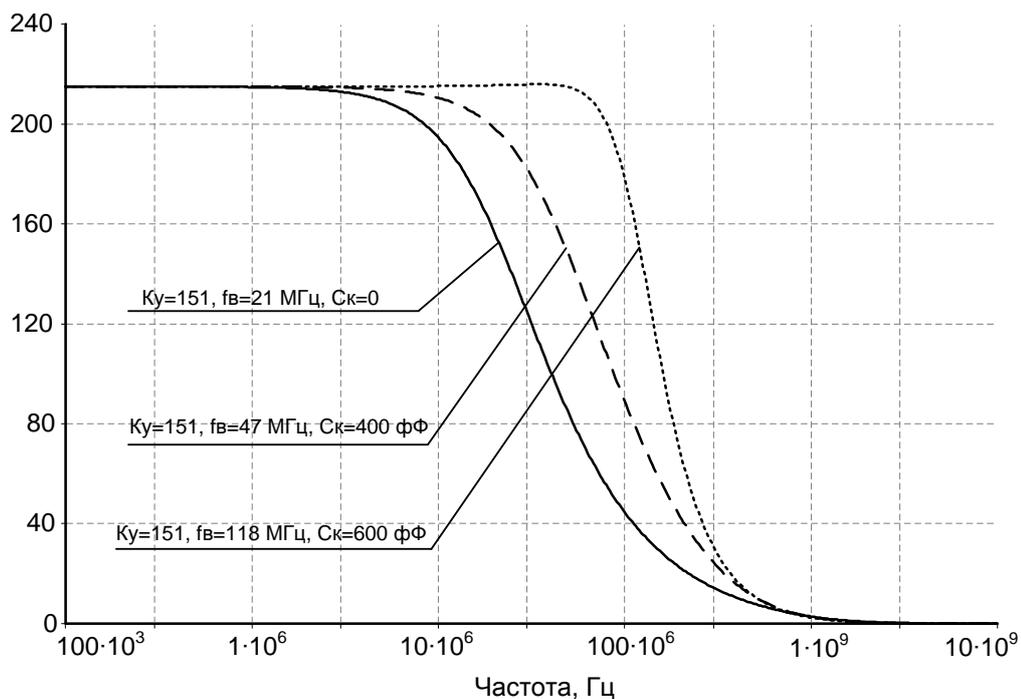


Рисунок 4.23 – Амплитудно-частотная характеристика коэффициента усиления по напряжению  $K_U$  при разных значениях емкости корректирующего конденсатора

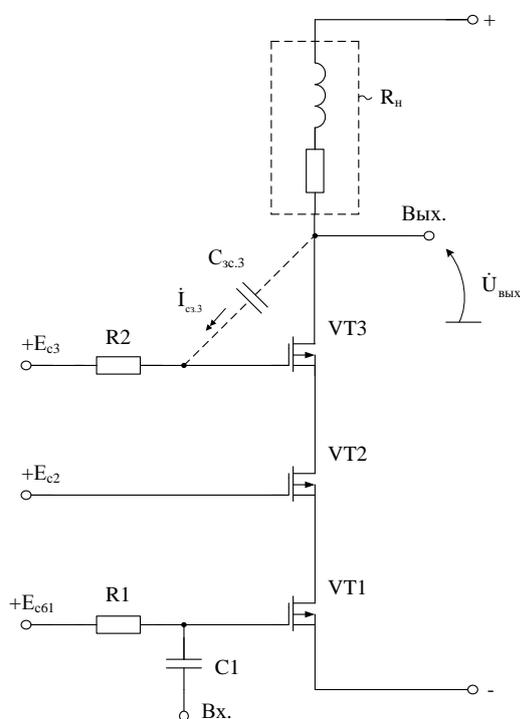


Рисунок 4.24 – Схема классического каскодного усилителя

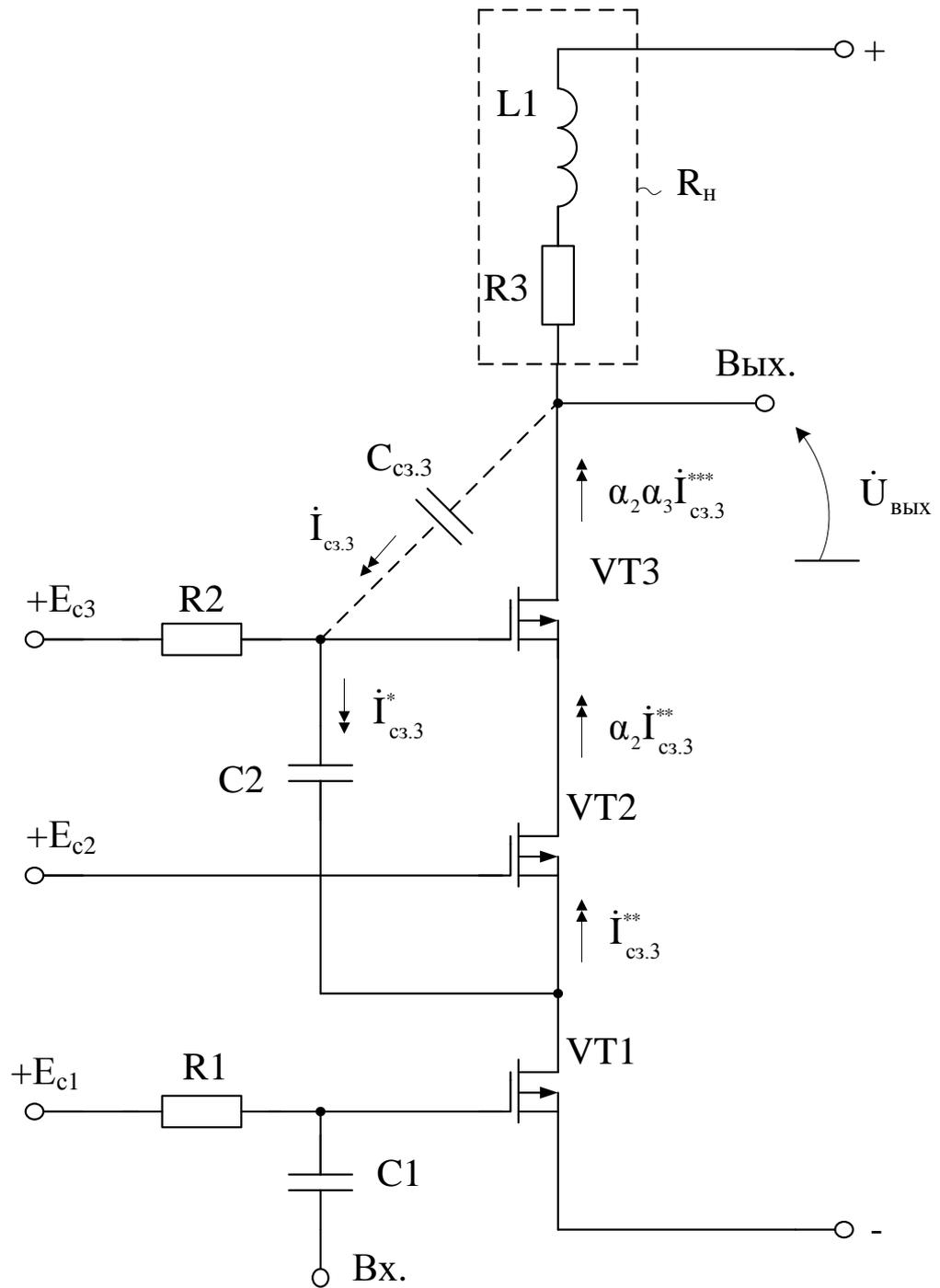


Рисунок 4.25 – Схема предлагаемого каскодного усилителя

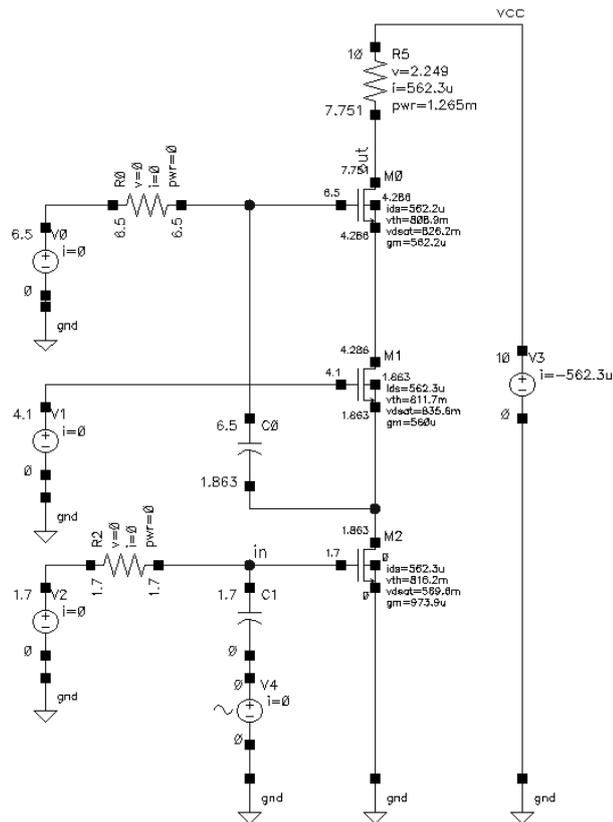


Рисунок 4.26 – Схема предлагаемого каскодного усилителя в среде Cadence на моделях интегральных транзисторов XFab

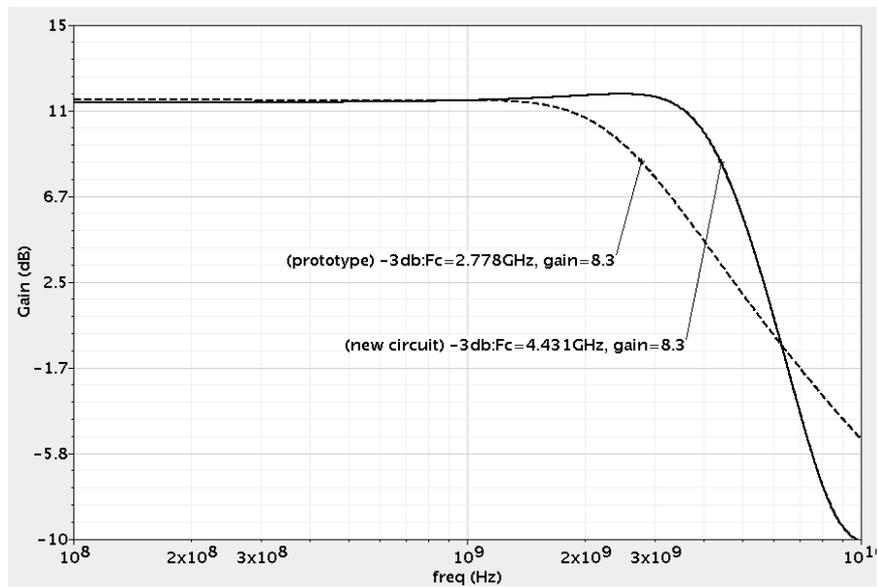


Рисунок 4.27 – Схема предлагаемого каскодного усилителя

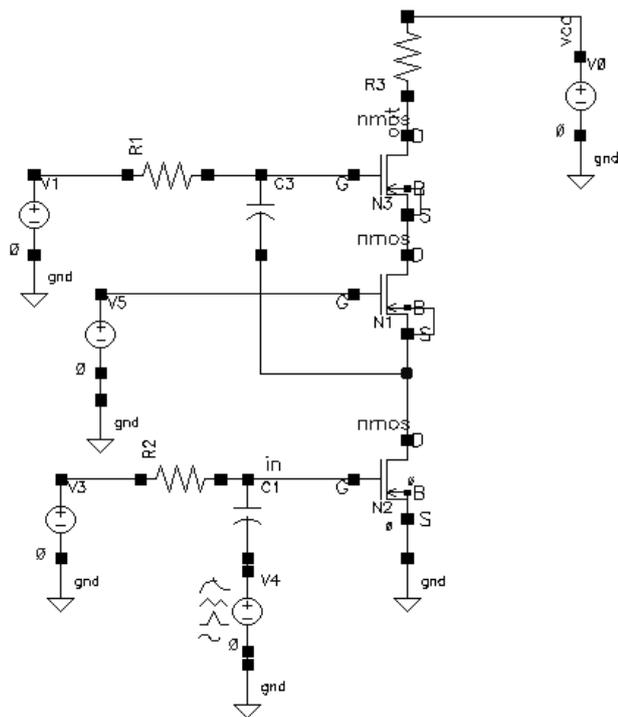


Рисунок 4.28 – Схема предлагаемого каскодного усилителя в среде Cadence на моделях интегральных SiGe транзисторов

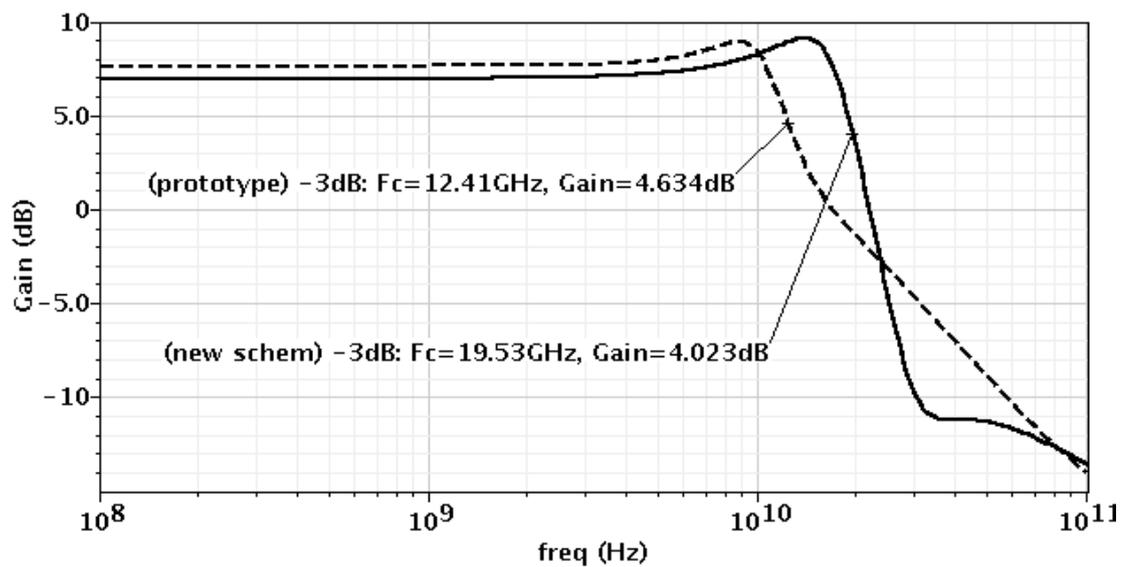


Рисунок 4.29 – Схема предлагаемого каскодного усилителя

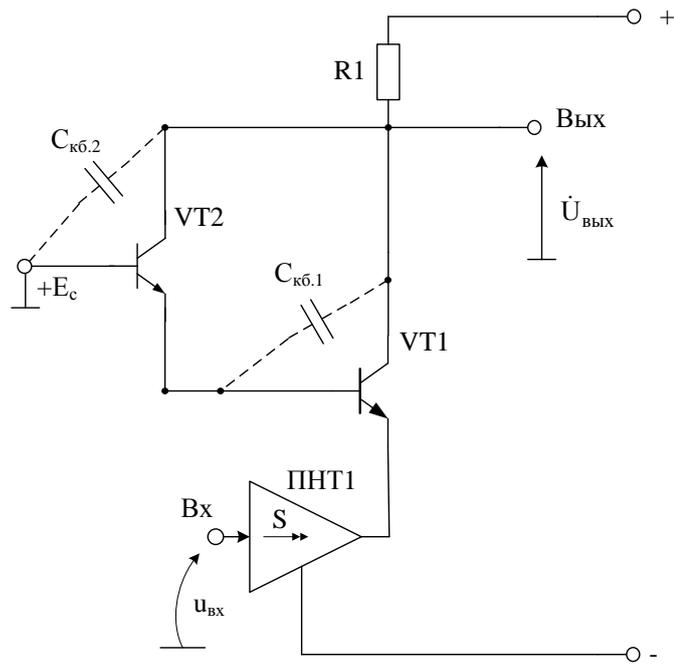


Рисунок 4.30 – Схема классического КУ

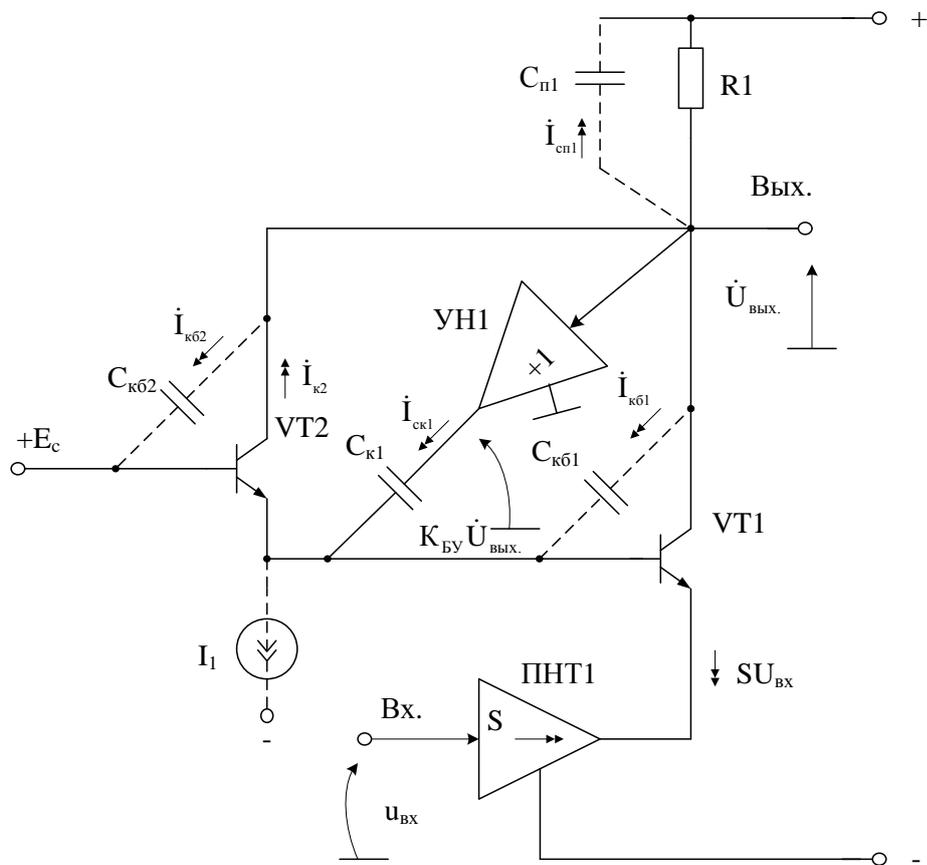


Рисунок 4.31 – Схема предлагаемого КУ

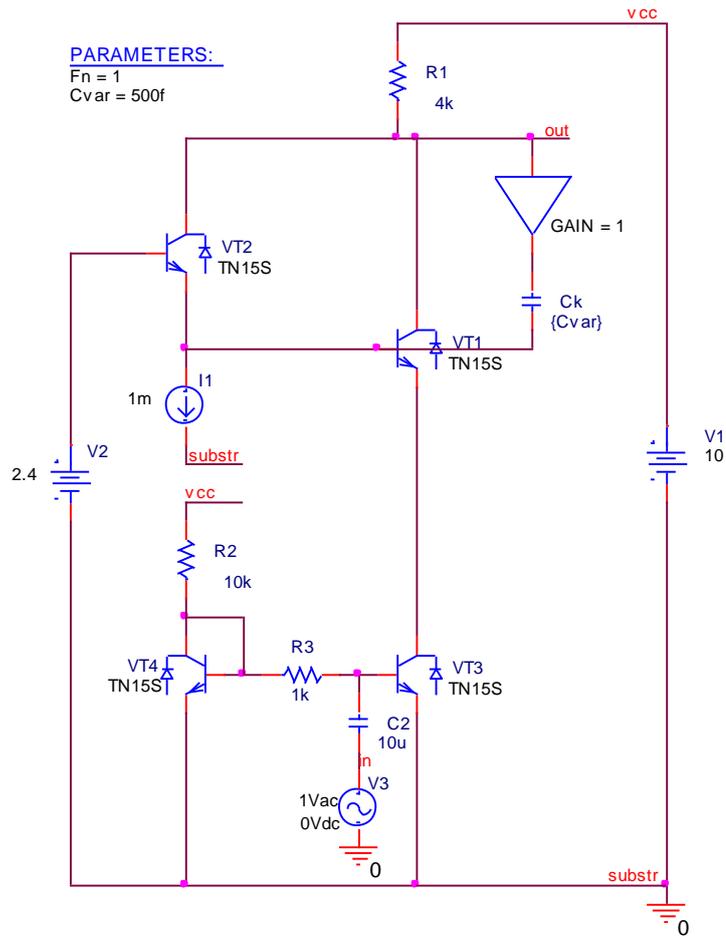


Рисунок 4.32 – Схема предлагаемого КУ в среде PSpice

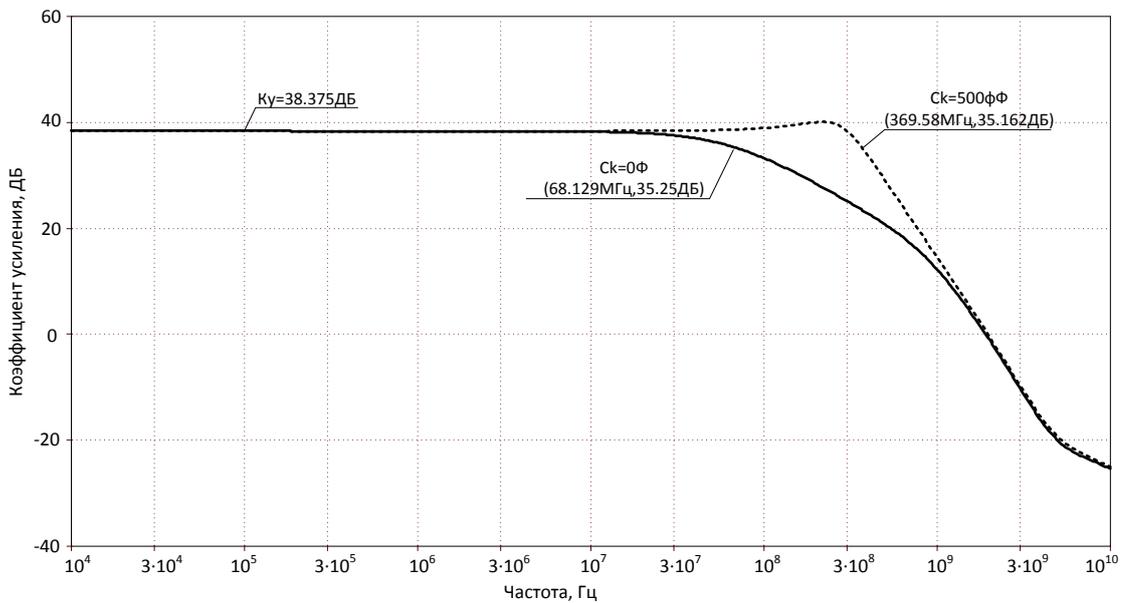


Рисунок 4.33 – Амплитудно-частотная характеристика коэффициента усиления по напряжению КУ при разных значениях емкости корректирующего конденсатора  $C_{к1}$

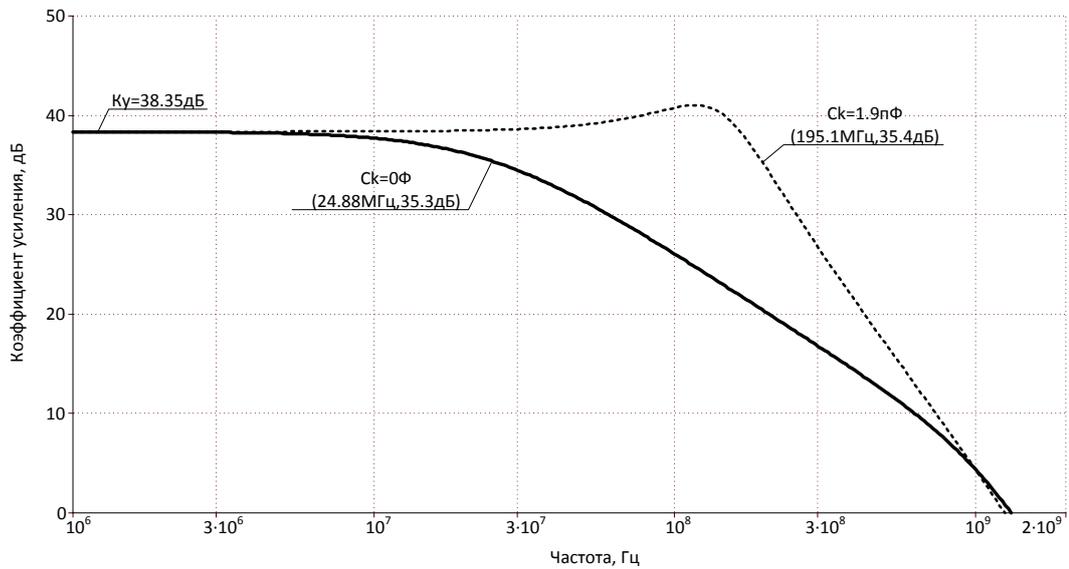


Рисунок 4.34 – Амплитудно-частотная характеристика коэффициента усиления по напряжению при наличии на выходе КУ паразитного конденсатора нагрузки

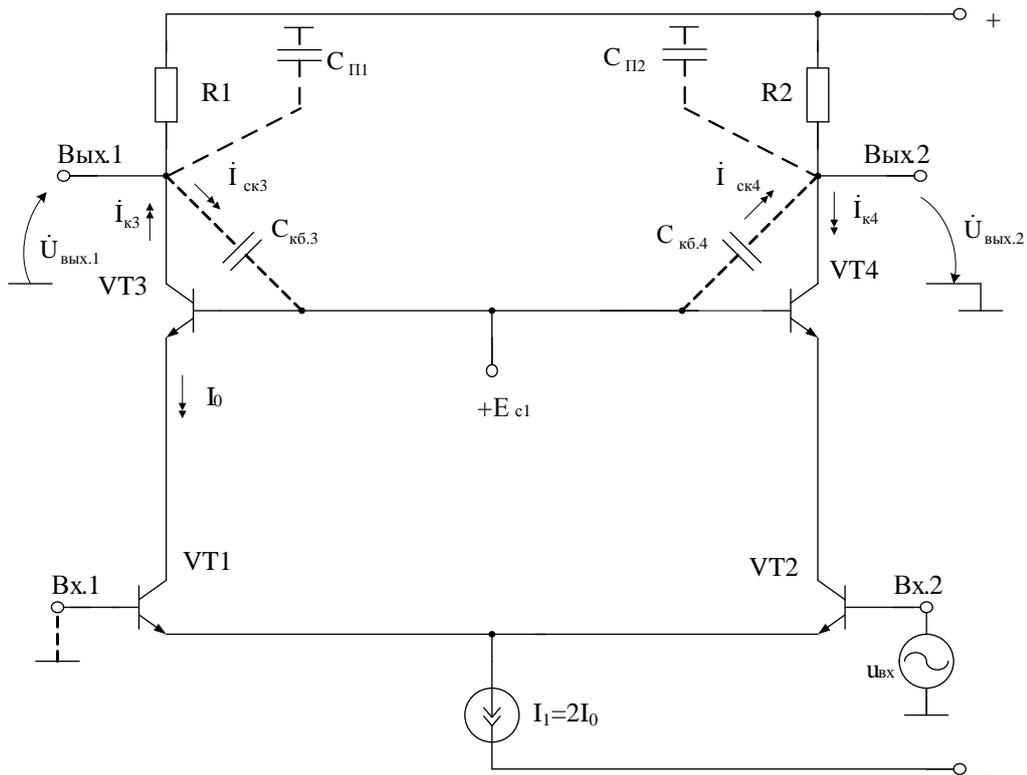


Рисунок 4.35 – Схема классического КУ

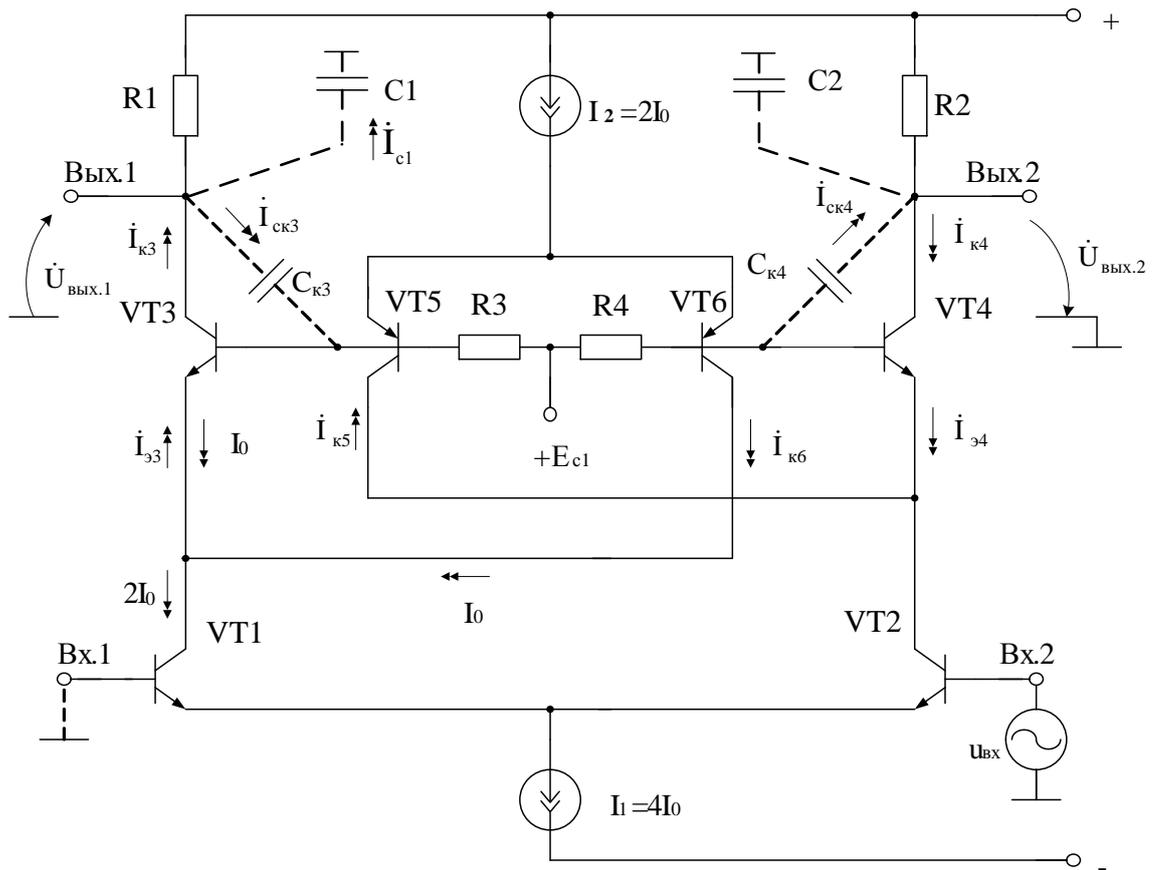


Рисунок 4.36 – Схема предлагаемого КУ

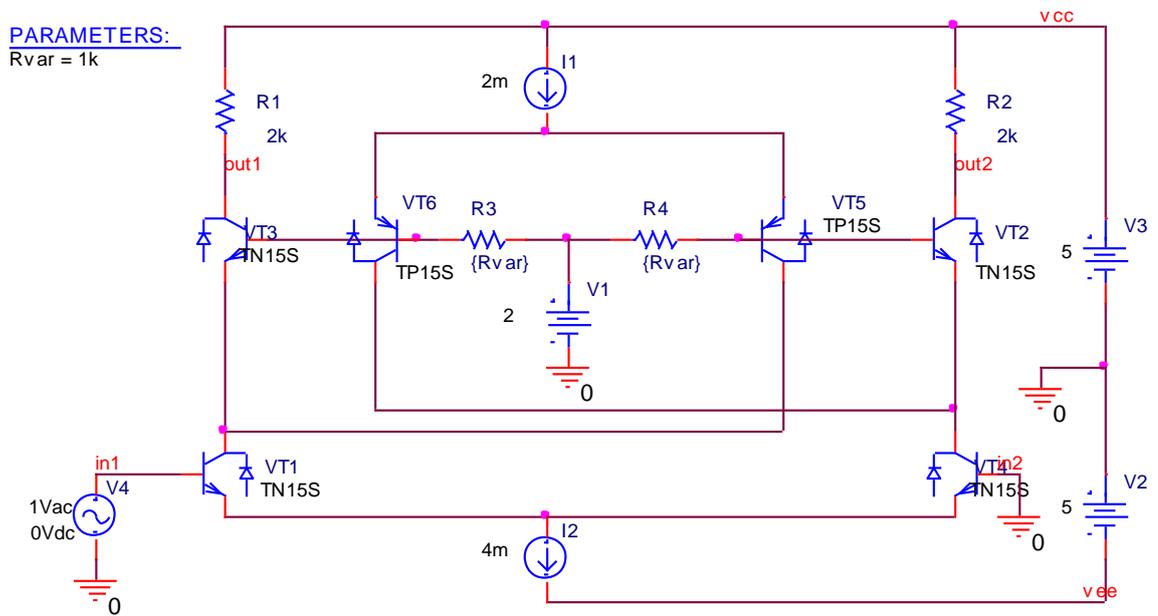


Рисунок 4.37 – Схема предлагаемого КУ в среде PSpice

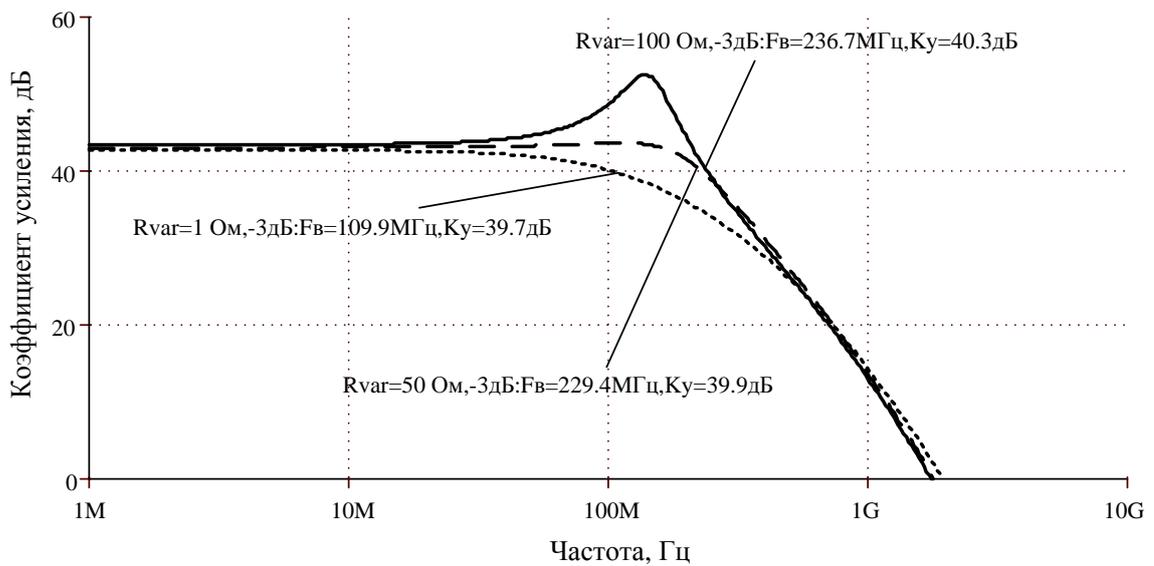


Рисунок 4.38 – Амплитудно-частотная характеристика коэффициента усиления по напряжению КУ рис. 4.37 при разных значениях сопротивлений резисторов R3, R4

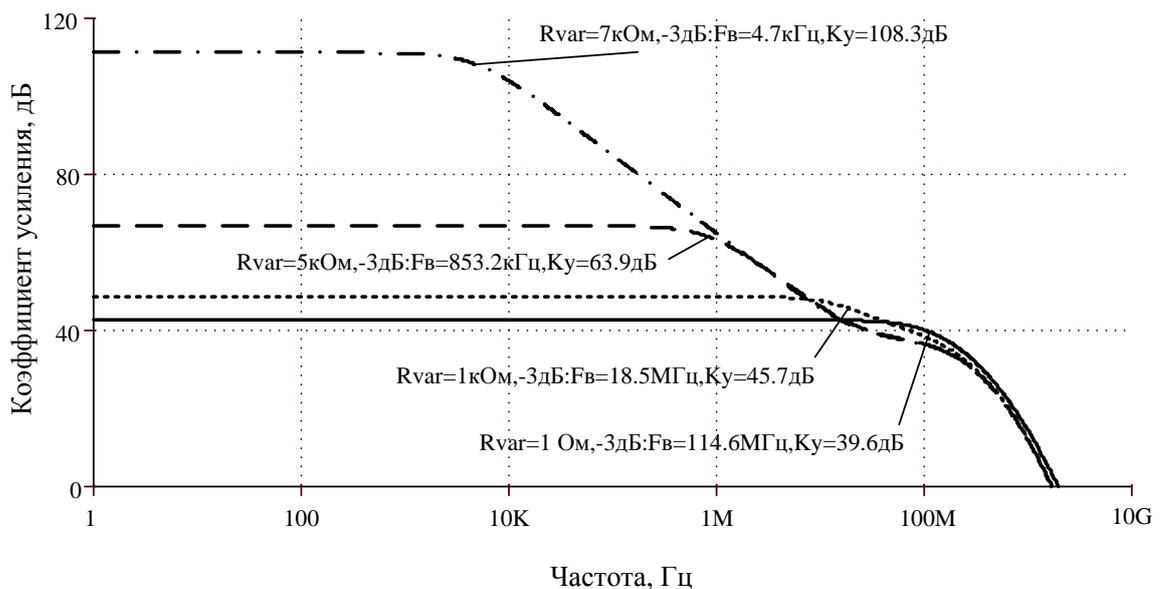


Рисунок 4.39 – Амплитудно-частотная характеристика коэффициента усиления по напряжению КУ рис. 3 при более высоких значениях сопротивлений резисторов R3, R4

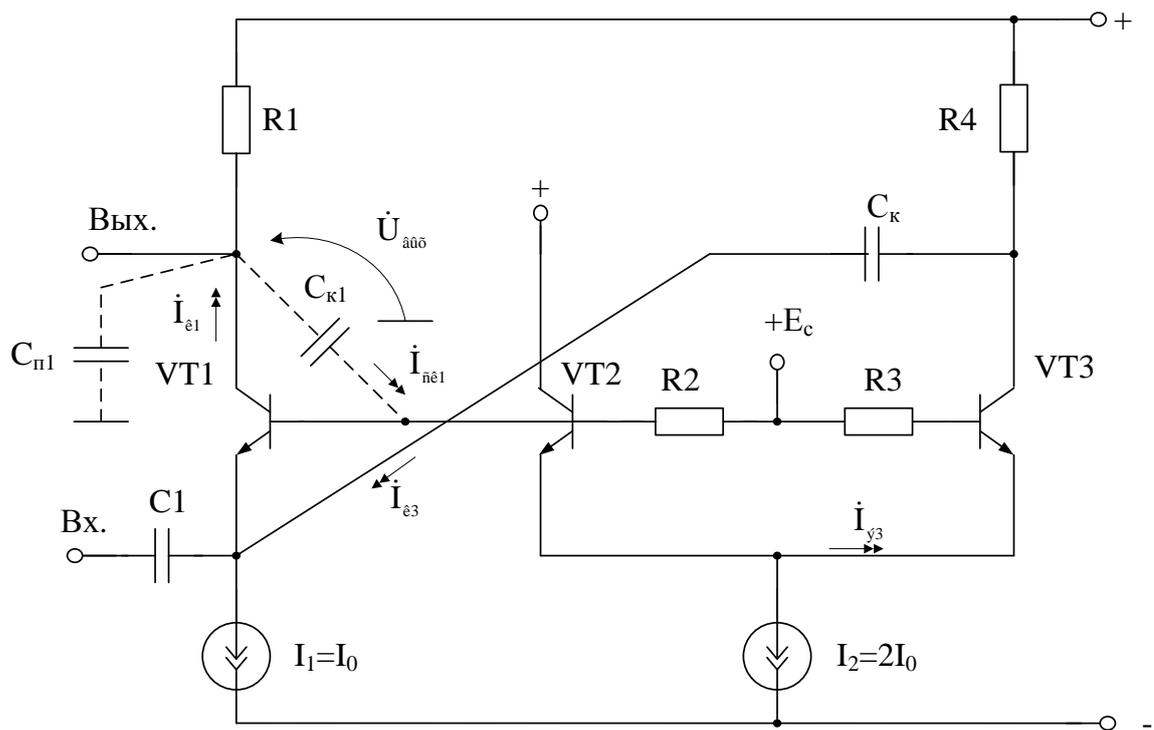


Рисунок 4.40 – Преобразователь «ток-напряжение» (P6410)

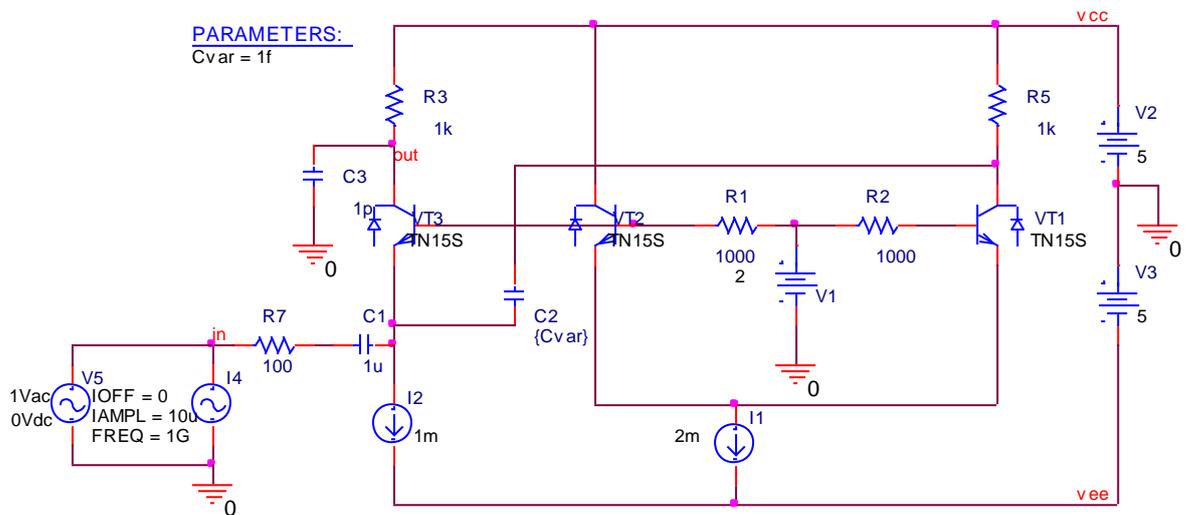


Рисунок 4.41 – Схема преобразователя “напряжение-ток” в среде PSpice

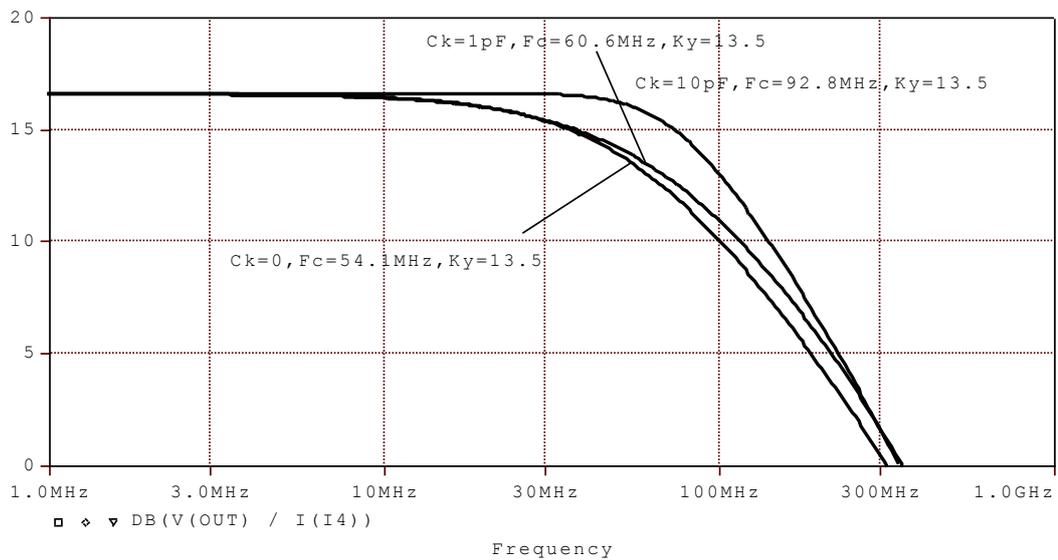


Рисунок 4.42 – АЧХ схемы при различных значениях ёмкости корректирующего конденсатора  $C_k$   
 $\text{DB}(V(\text{OUT}) / I(I4))$

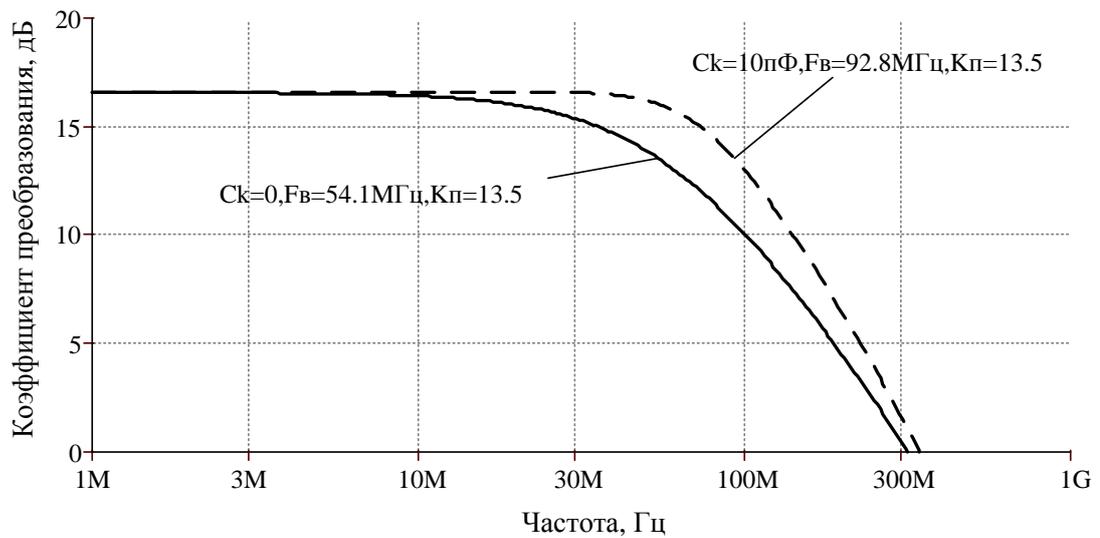


Рисунок 4.43 – АЧХ схемы при различных значениях ёмкости корректирующего конденсатора  $C_k$   
 $\text{DB}(V(\text{OUT}) / I(I4))$

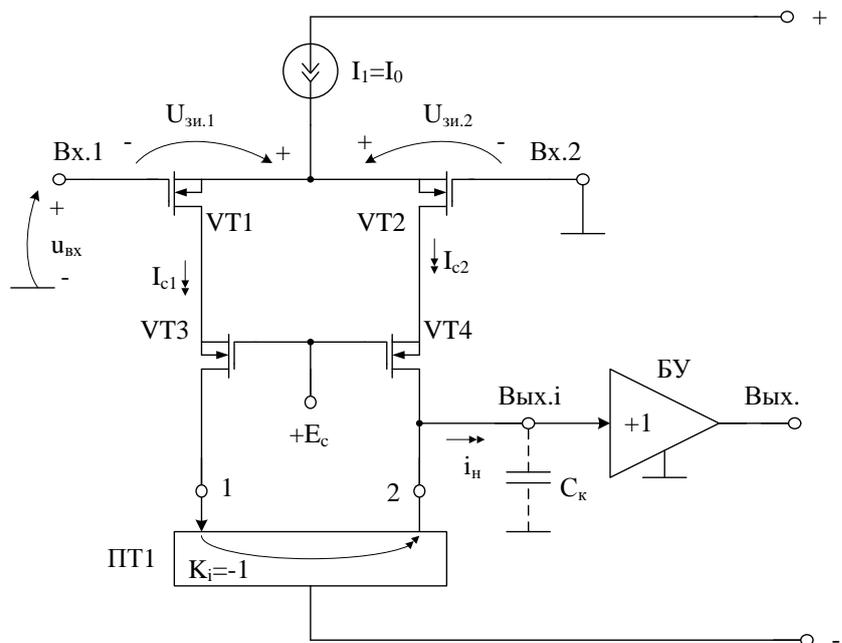


Рисунок 4.46 – Схема классического дифференциального входного каскада(П6428)

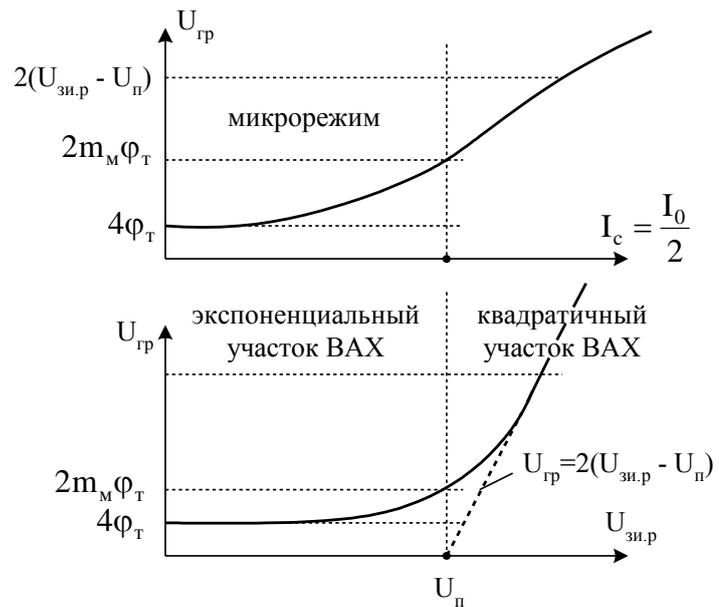


Рисунок 4.49 – Зависимость диапазона активной работы ДК рис. 1а ( $U_{гр}$ ) от статического режима VT1-VT2 ( $I_c$ ,  $U_{зи.р}$ )



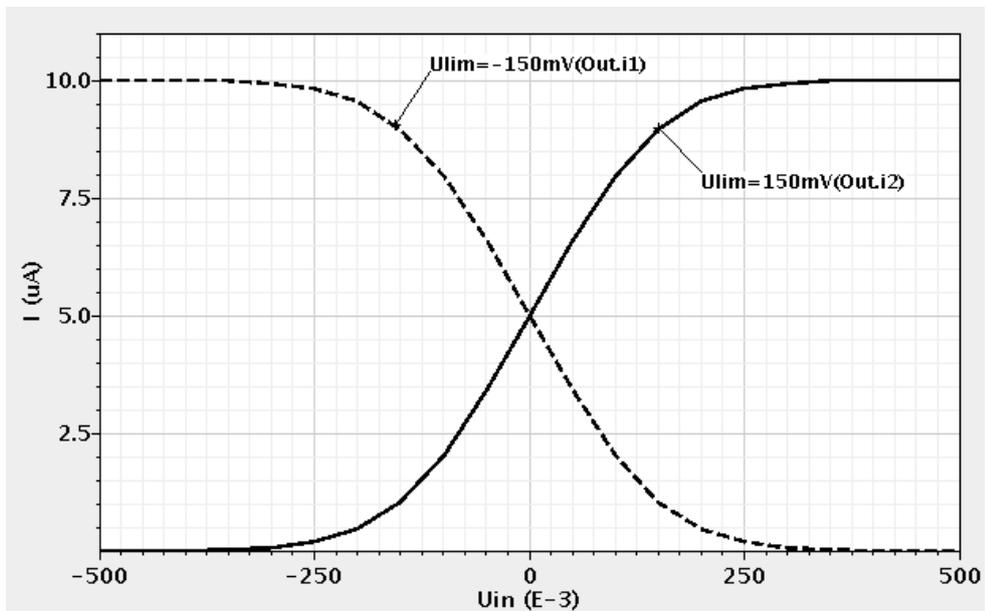


Рисунок 4.52 – Зависимость выходных токов классического ДК от изменения напряжения при малом суммарном токе его общей истоковой цепи ( $I_1=10\mu\text{A}$ )

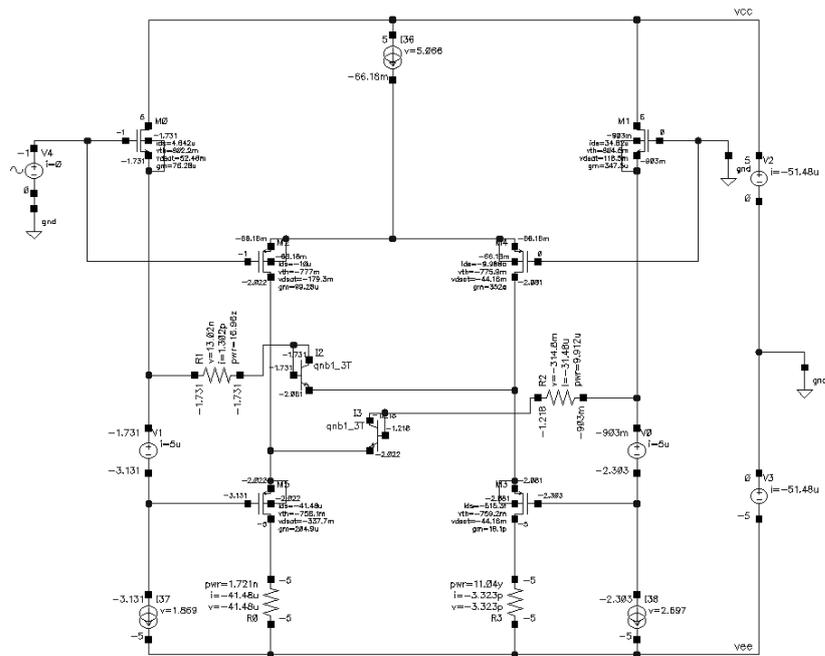


Рисунок 4.53 – Пример реализации входного дифференциального каскада

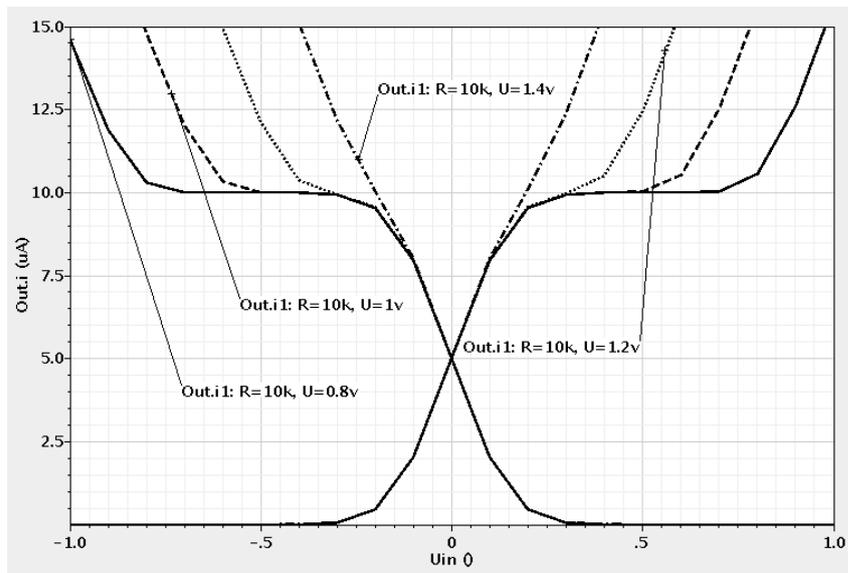


Рисунок 4.54 – Проходная характеристика ДК рис. 4.53 при разных значениях напряжений цепи смещения потенциалов

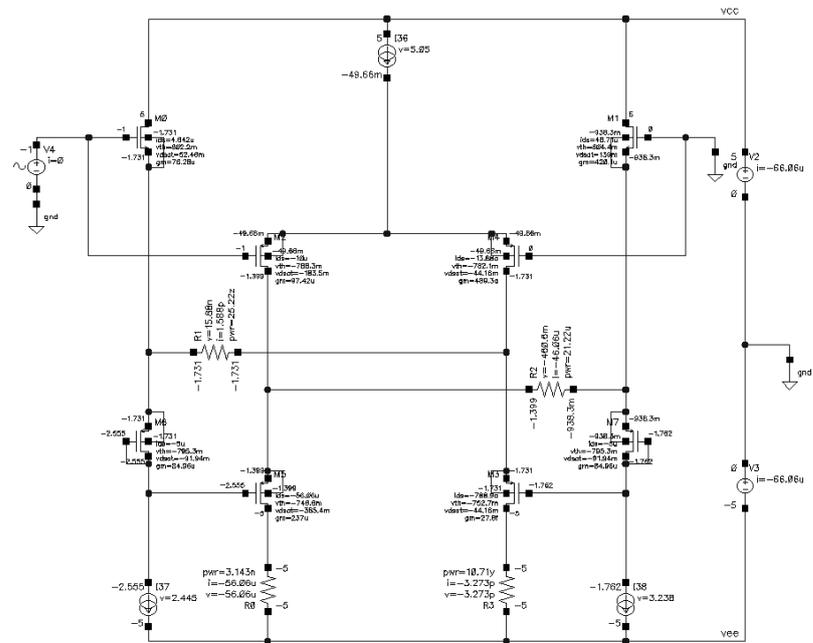
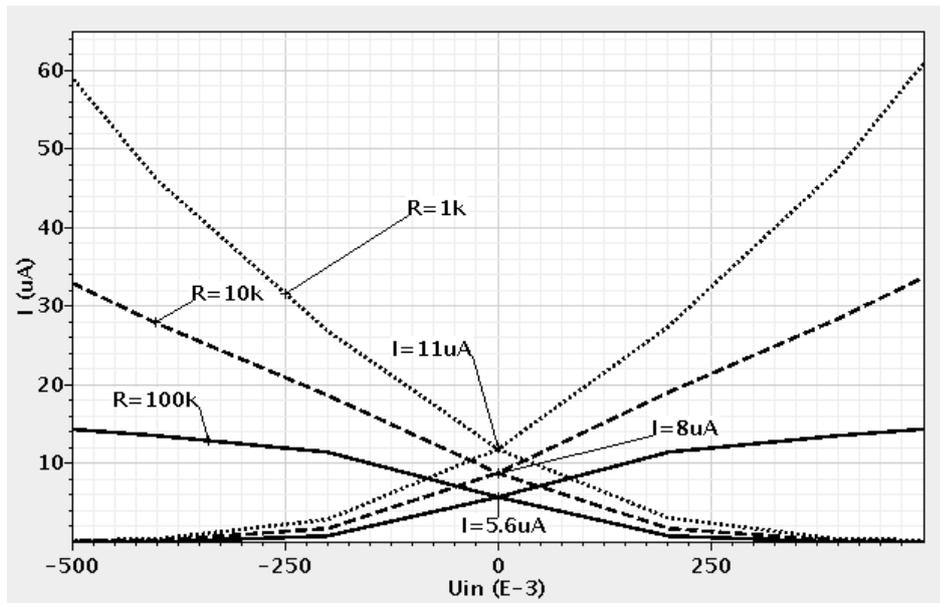
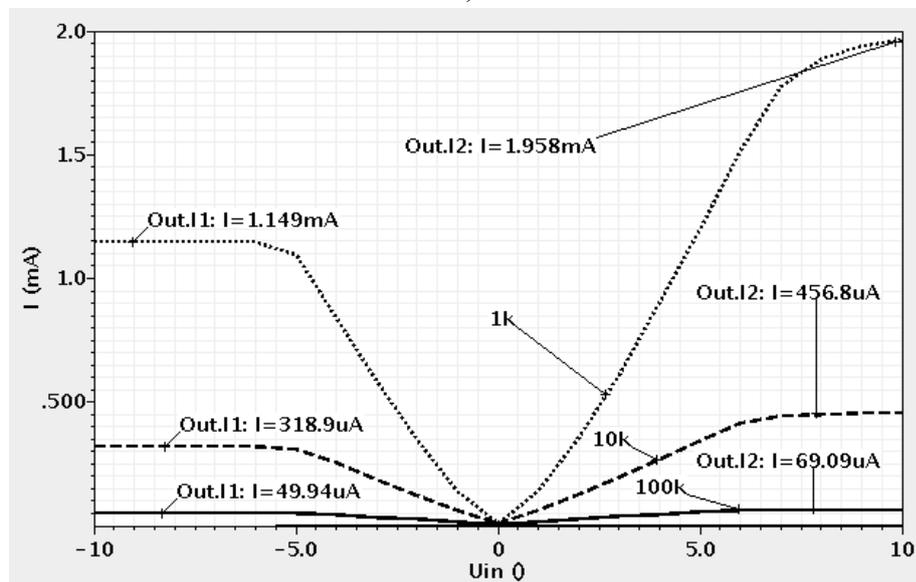


Рисунок 4.55 – Пример реализации входного дифференциального каскада



а)



б)

Рисунок 4.56 – Проходные характеристики схемы рис. 4.55 в мелком (а) и в крупном (б) масштабах при разных значениях сопротивлений резисторов  $R_1$  и  $R_2$

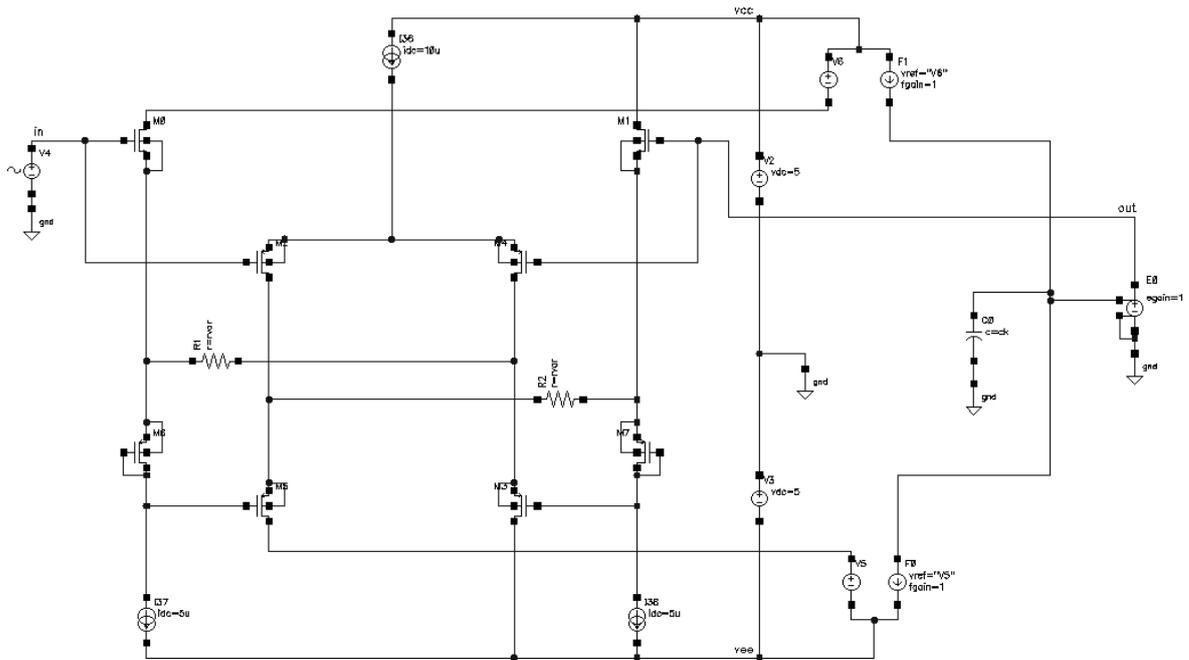


Рисунок 4.57 – Схема микромощного ( $I_{13}=10$  мкА) быстродействующего КМОП-операционного усилителя на базе предлагаемого ДК в среде Cadence

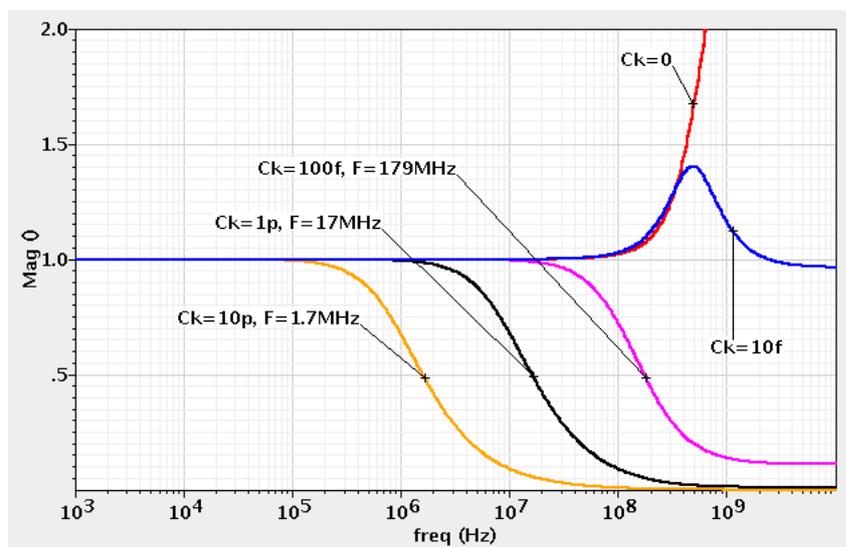


Рисунок 4.58 – АЧХ операционного усилителя рис. 4.57 со 100% отрицательной обратной связью при различных значениях емкости коррекции  $C_k$

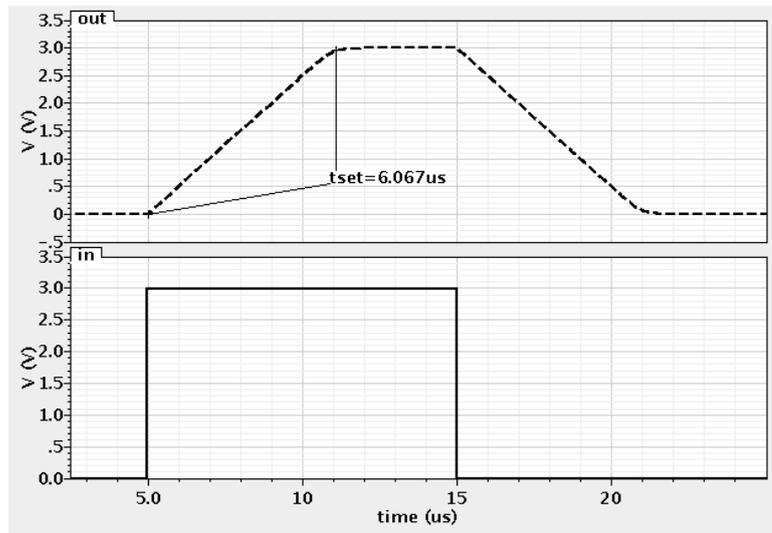


Рисунок 4.59 – Графики переходных процессов в ОУ рис. 4.57 при бесконечно больших сопротивлениях резисторов R1 и R2

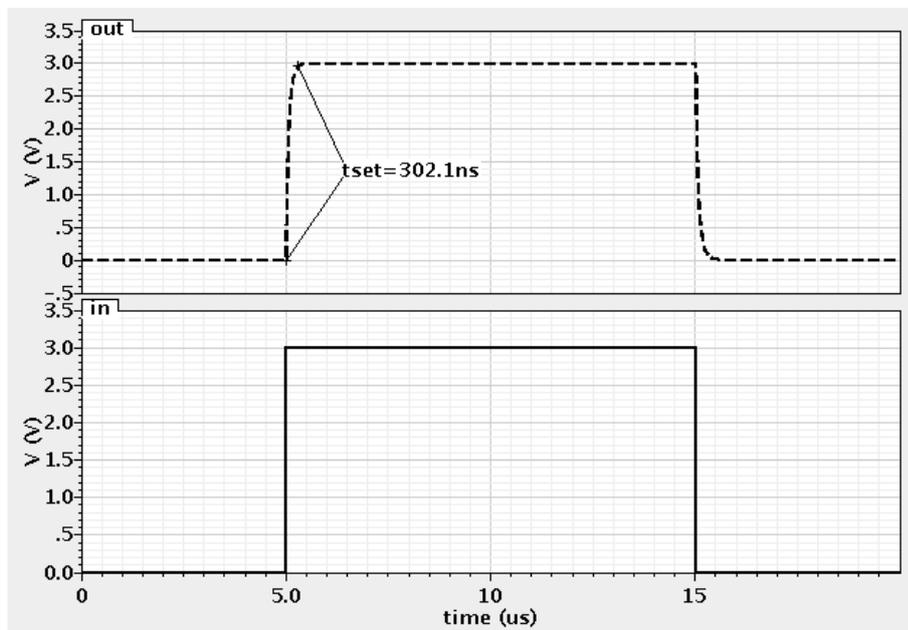
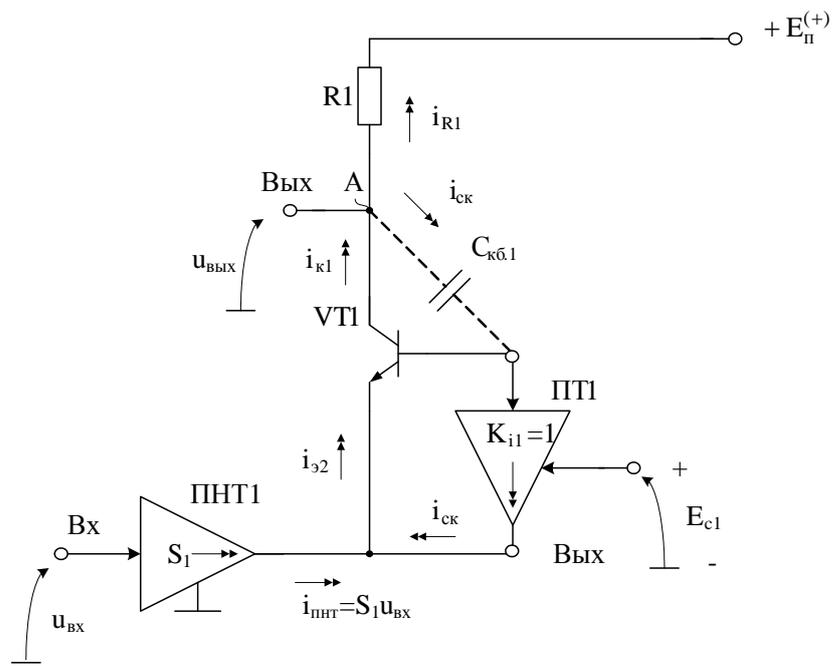
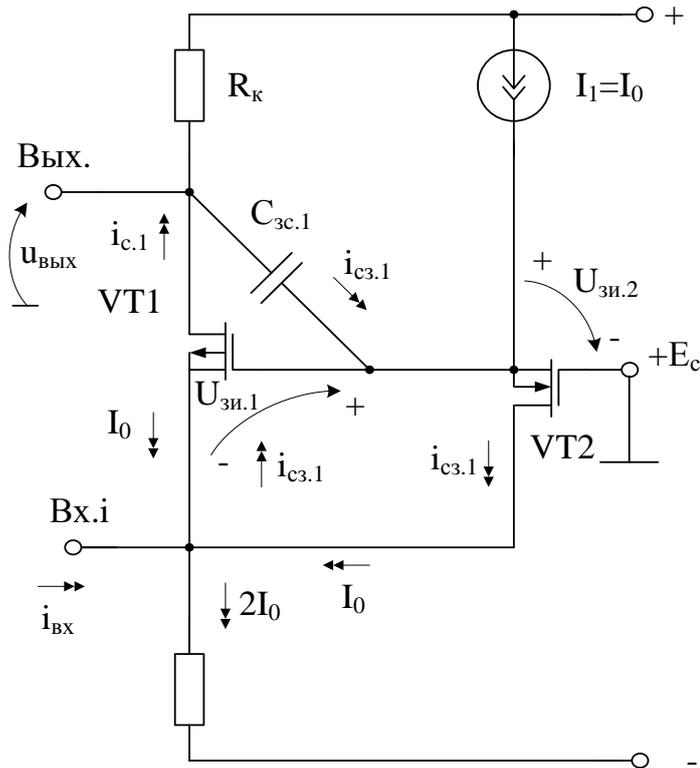


Рисунок 4.60 – Графики переходных процессов в ОУ рис. 4.57 при сопротивлениях резисторов R1 и R2, равных 1 Ком



а)



б)

Рисунок 4.61 – Метод компенсации влияния на  $f_B$  проходной емкости VT1 в ШКУ на биполярных (а) и полевых транзисторах (б)

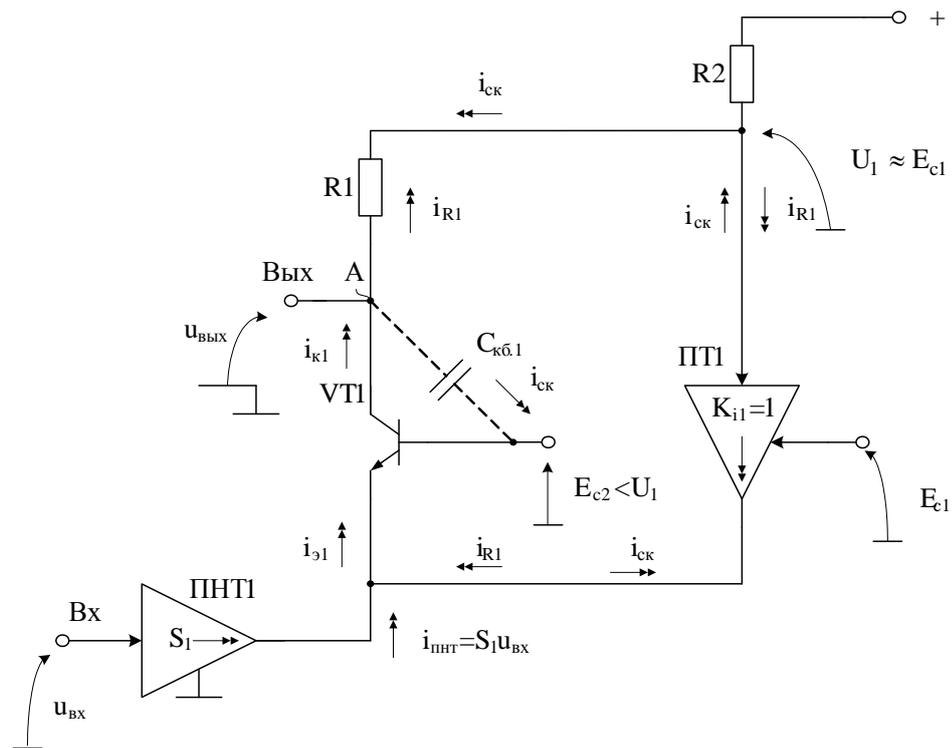


Рисунок 4.62 – Метод собственной компенсации R1 на  $K_y$  [1]

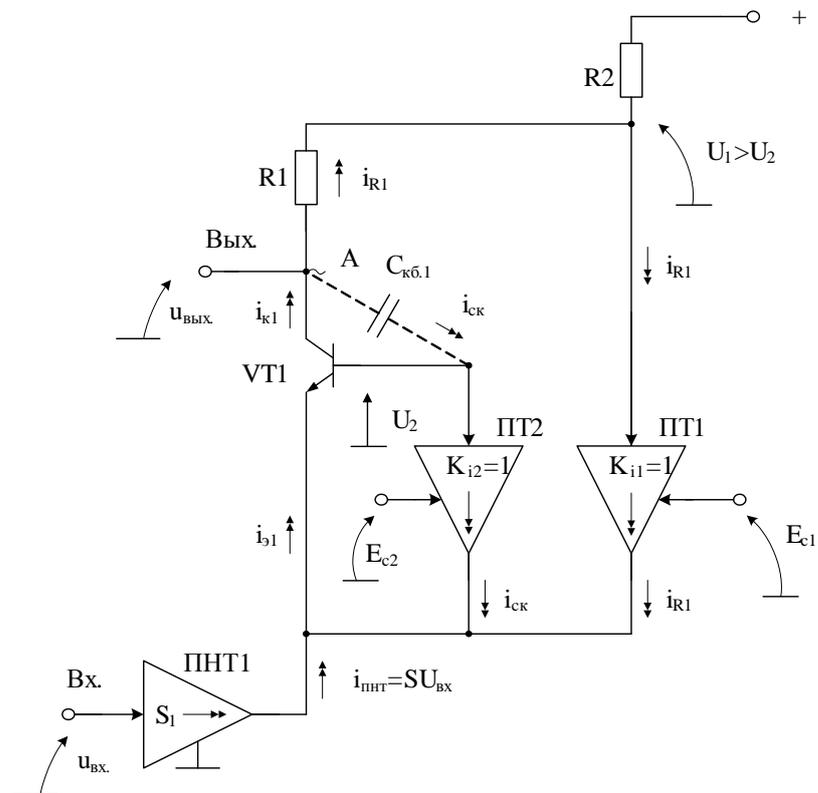


Рисунок 4.63 – Архитектура ШКУ с параллельным включением каналов собственной компенсации  $C_{кб.1}$  и R1 [1]

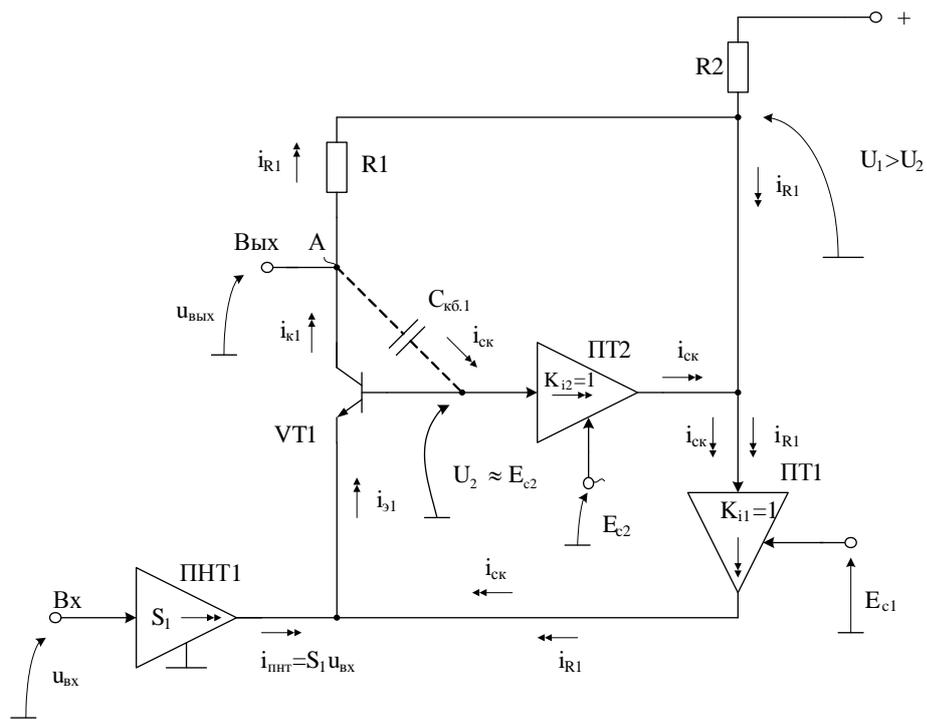


Рисунок 4.64 – Метод последовательно-параллельного включения каналов компенсации  $C_{кб.1}$  и  $R1$

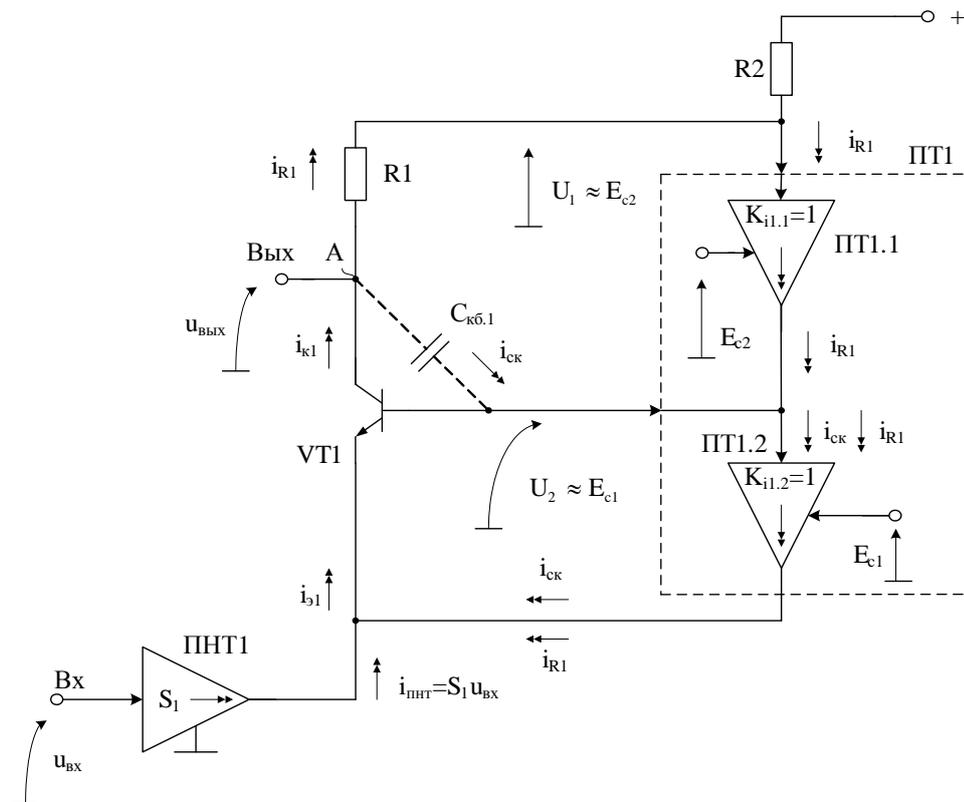


Рисунок 4.65 – Архитектура ШКУ с последовательным включением каналов собственной компенсации резистора  $R1$  и  $C_{кб.1}$

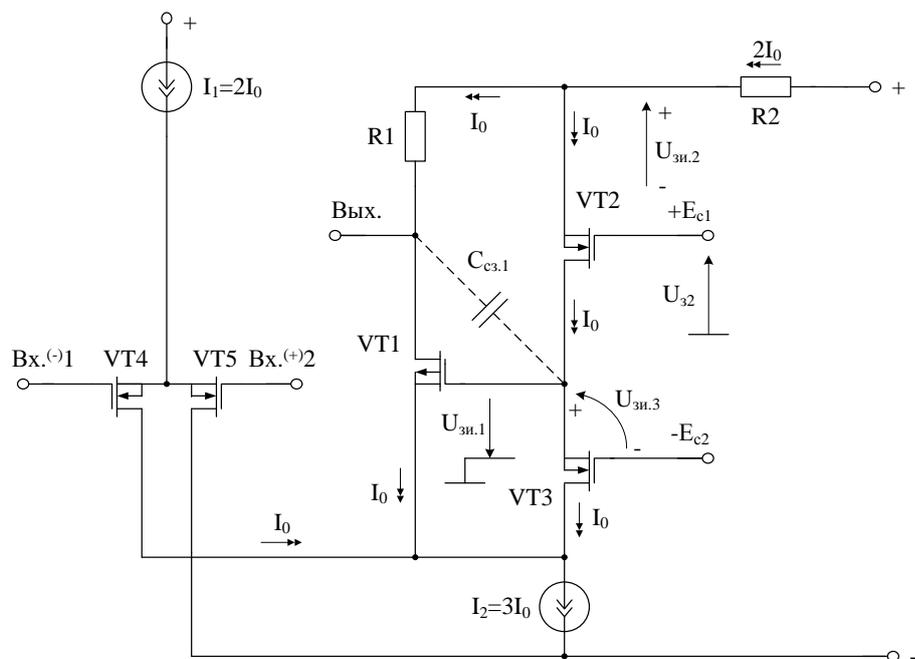


Рисунок 4.66 – Метод компенсации влияния импеданса  $R1$  и  $C_{сз.1}$  на коэффициент усиления по напряжению операционного усилителя на “перегнutom” каскаде

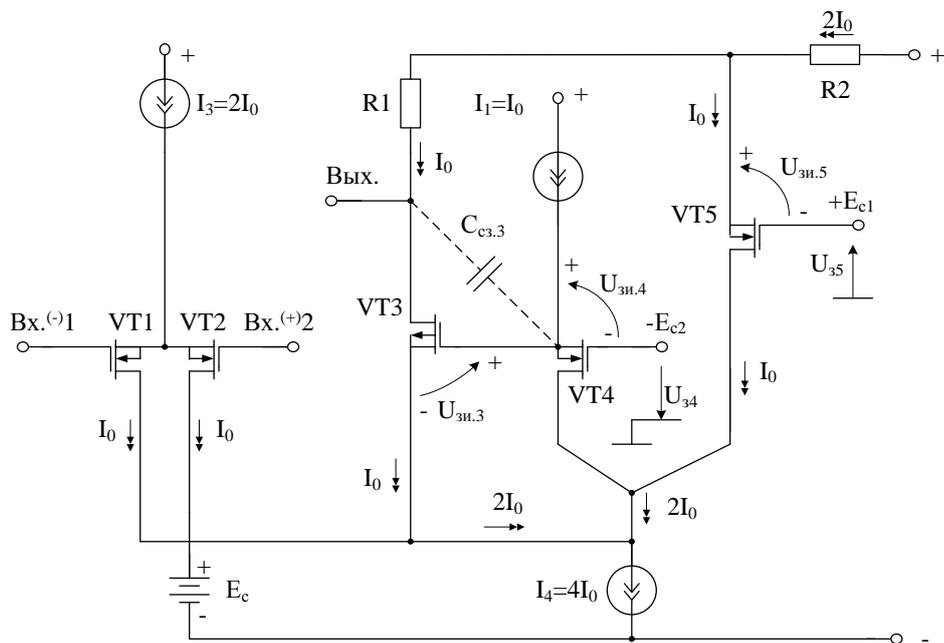


Рисунок 4.67 – Архитектура ШКУ с параллельным включением каналов собственной компенсации  $C_{сз.1}$  и  $R1$

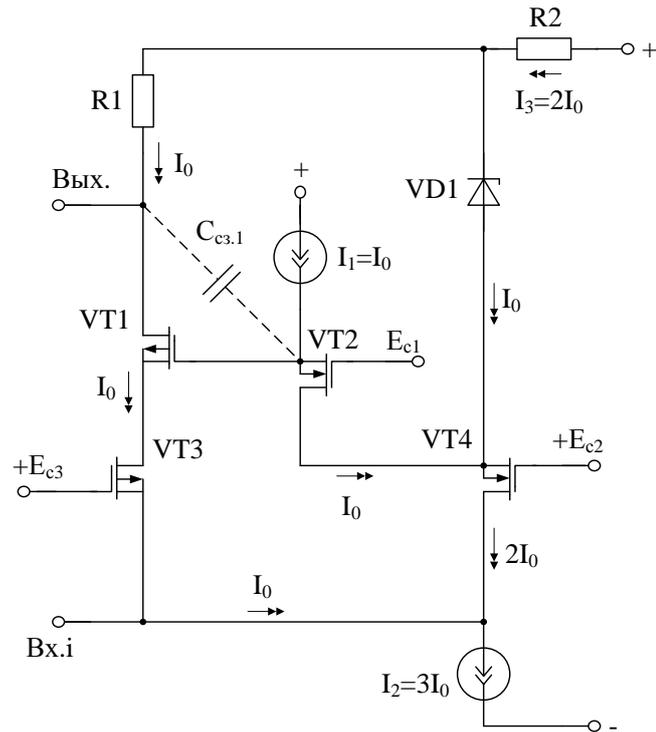


Рисунок 4.68 – Метод последовательно-параллельного включения каналов компенсации  $C_{zc.1}$  и  $R1$

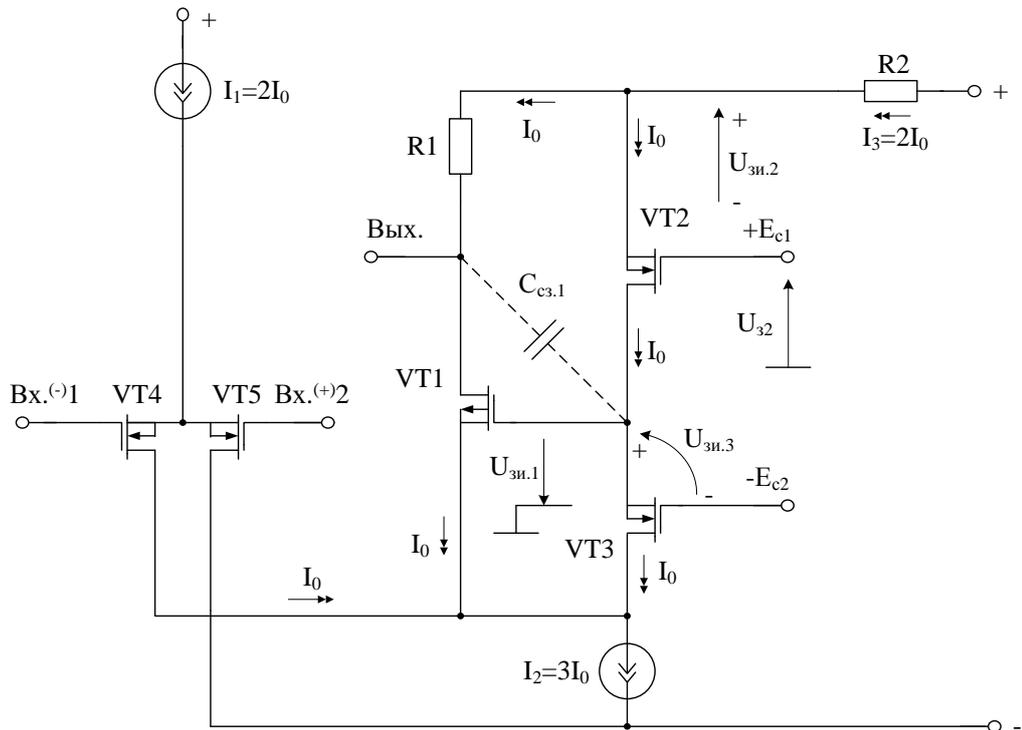


Рисунок 4.69 – Архитектура ШКУ с последовательным включением каналов собственной компенсации  $C_{zc.1}$  и  $R1$

## 5, Исследование предельных параметров базовых функциональных узлов и IP модулей с цепями собственной и взаимной компенсации

В настоящем разделе рассматривается схемотехника аналоговых устройств, в которых улучшение основных параметров обеспечивается за счет введения специальных цепей собственной и взаимной компенсации.

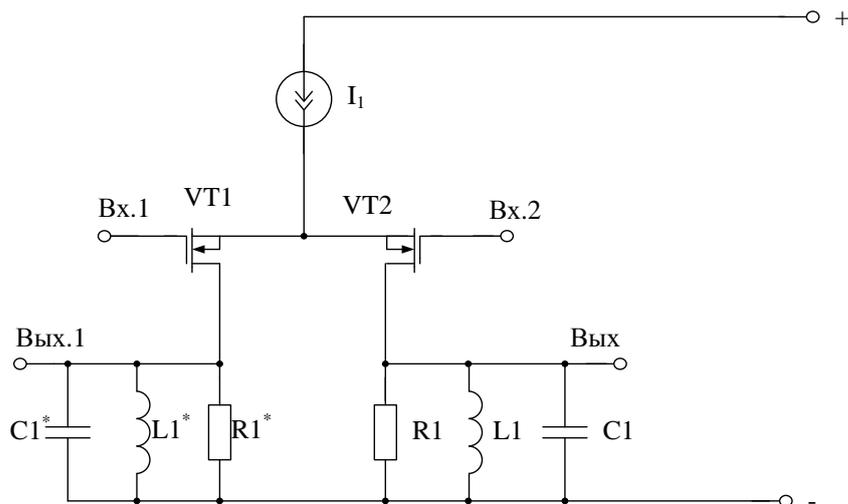


Рисунок 5.1 – Схема классического ИУ

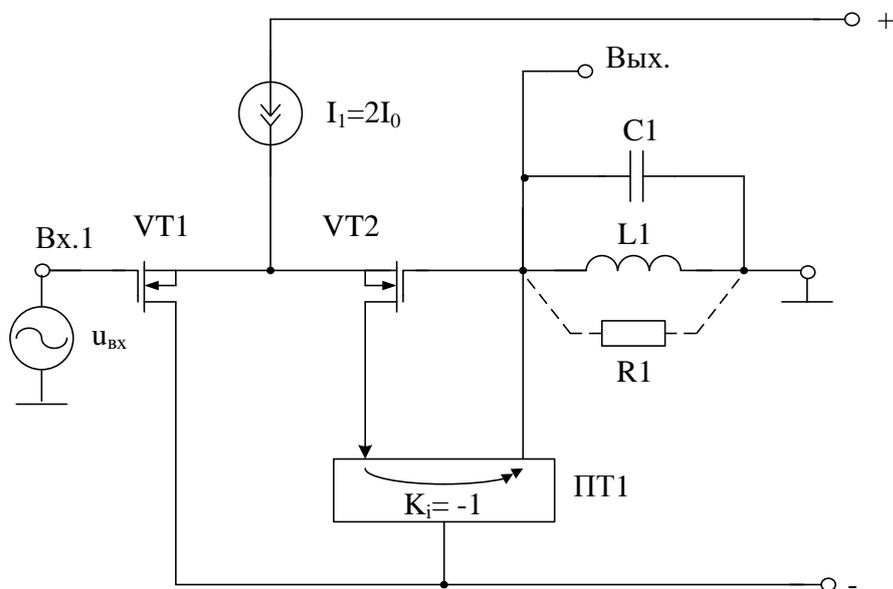


Рисунок 5.2 – Схема предлагаемого ИУ

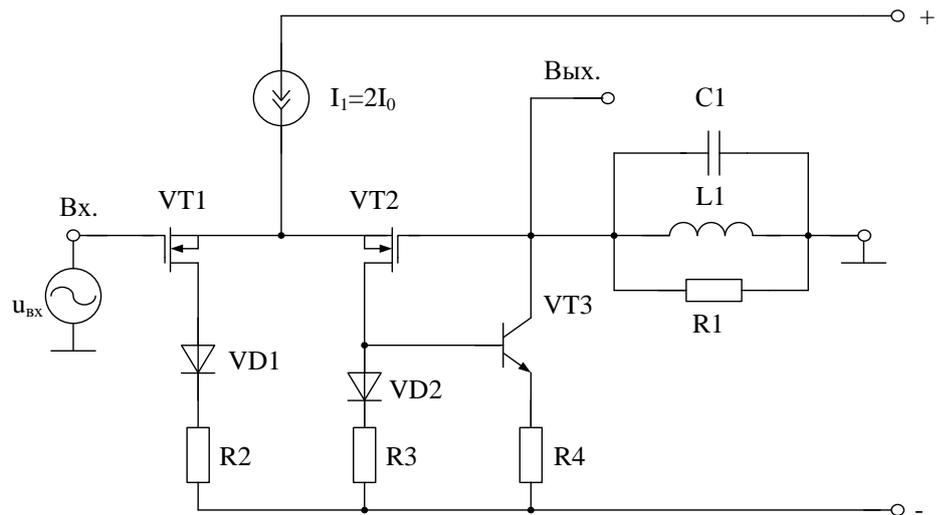


Рисунок 5.3 – Схема предлагаемого ИУ с конкретным выполнением токового зеркала на биполярном транзисторе

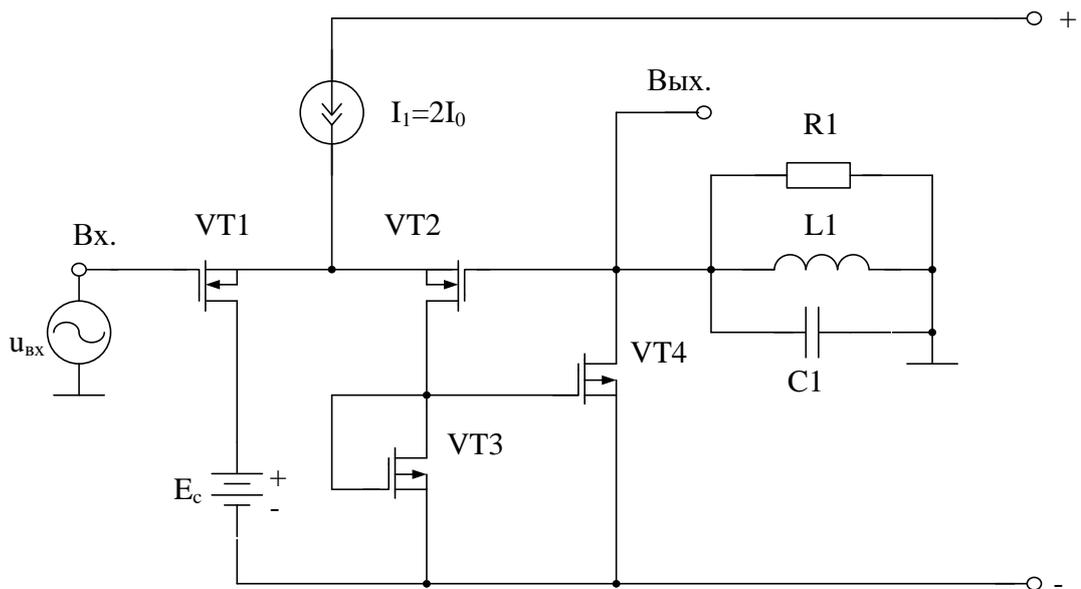


Рисунок 5.4 – Вариант реализации ИУ на КМОП транзисторах

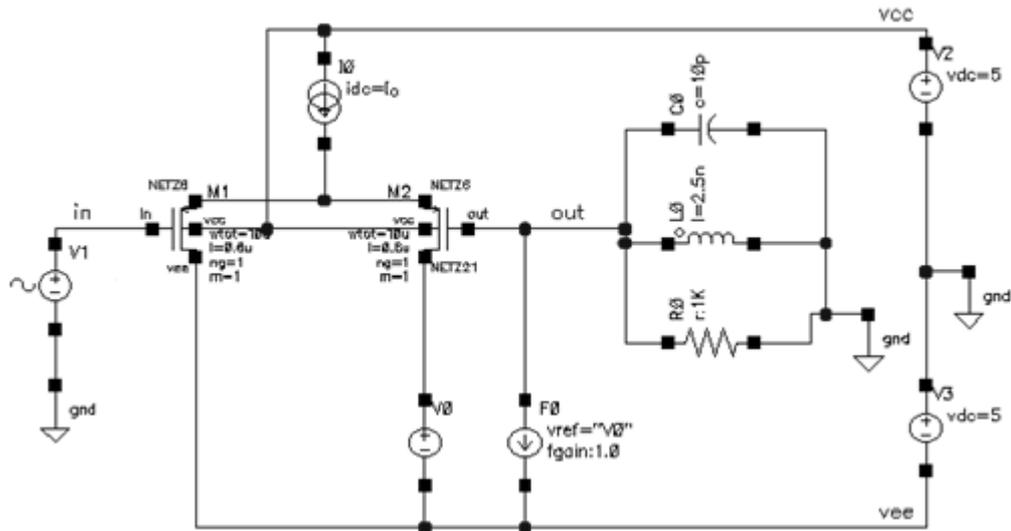


Рисунок 5.5 – Схема СВЧ избирательного усилителя рис. 5.2 в среде компьютерного моделирования Cadence

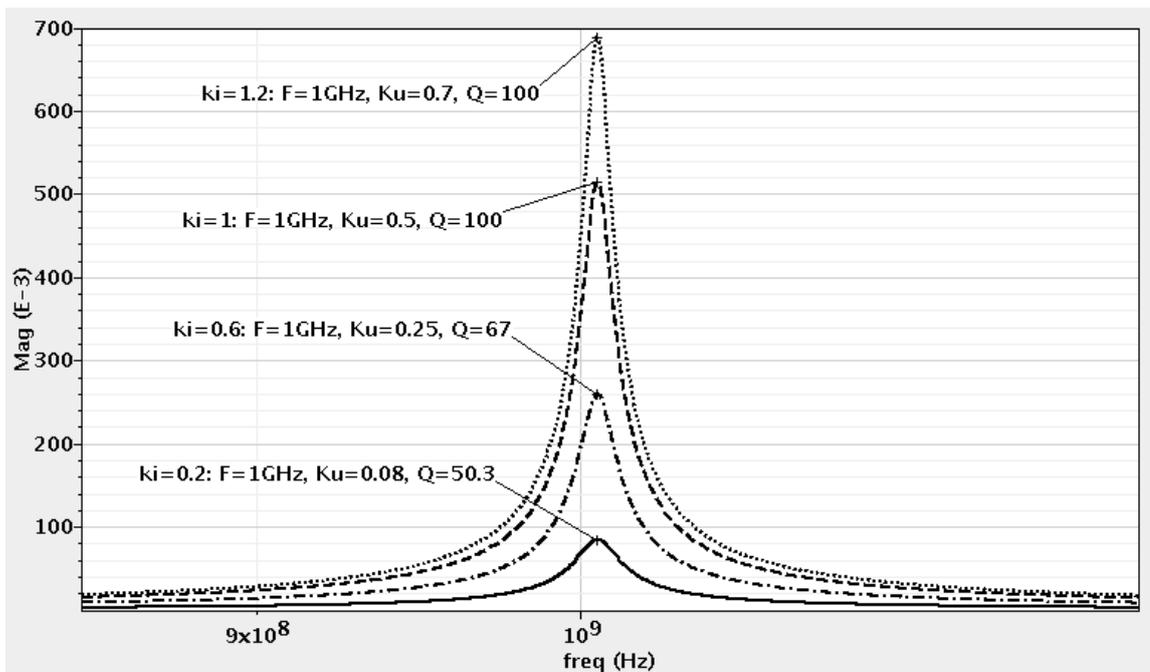


Рисунок 5.6 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях коэффициента передачи по току  $K_i$  токового зеркала (в мелком масштабе)

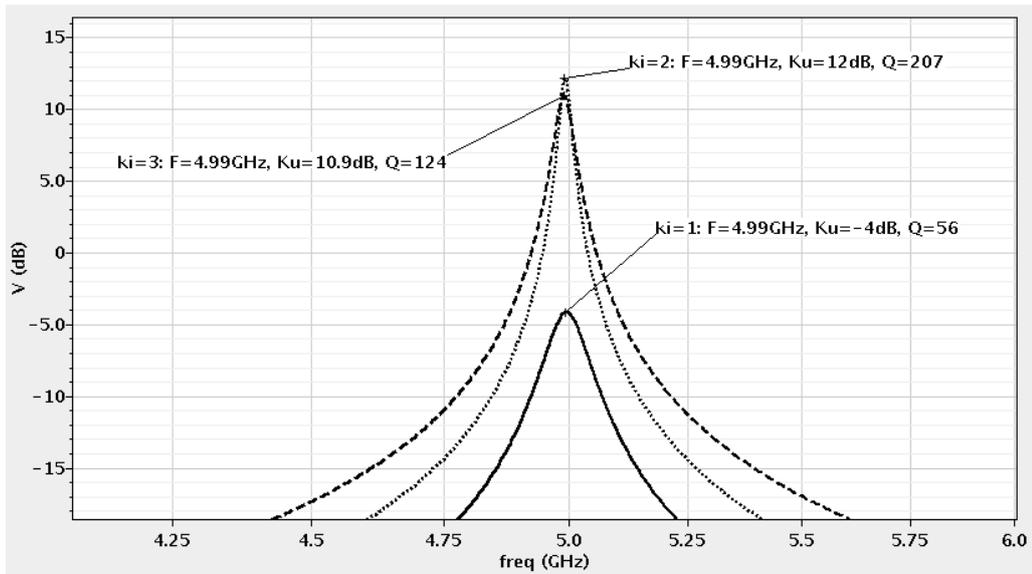


Рисунок 5.7 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях коэффициента передачи по току  $K_i$  токового зеркала (в укрупненном масштабе)

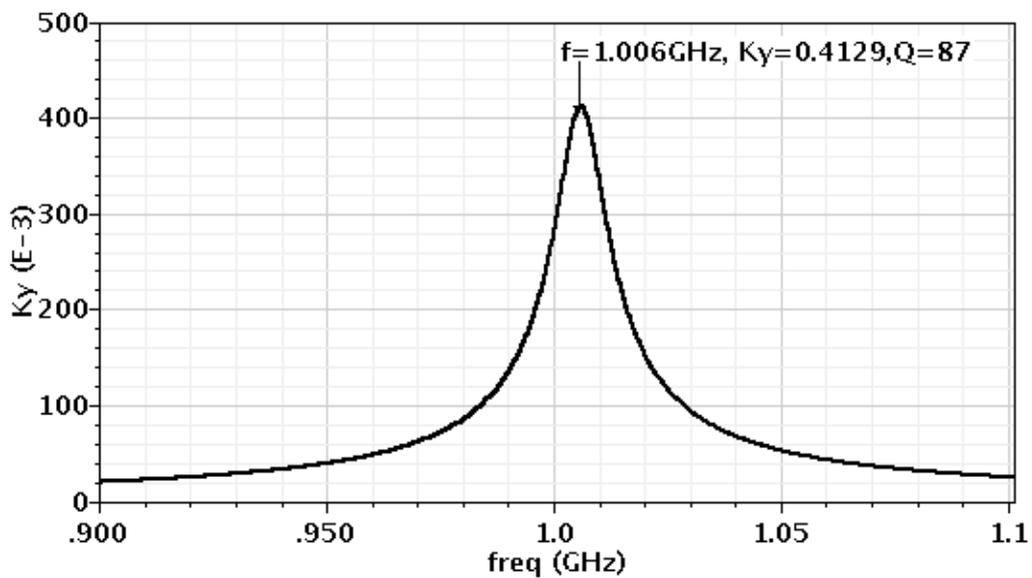


Рисунок 5.8 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях коэффициента передачи по току  $K_i$  токового зеркала

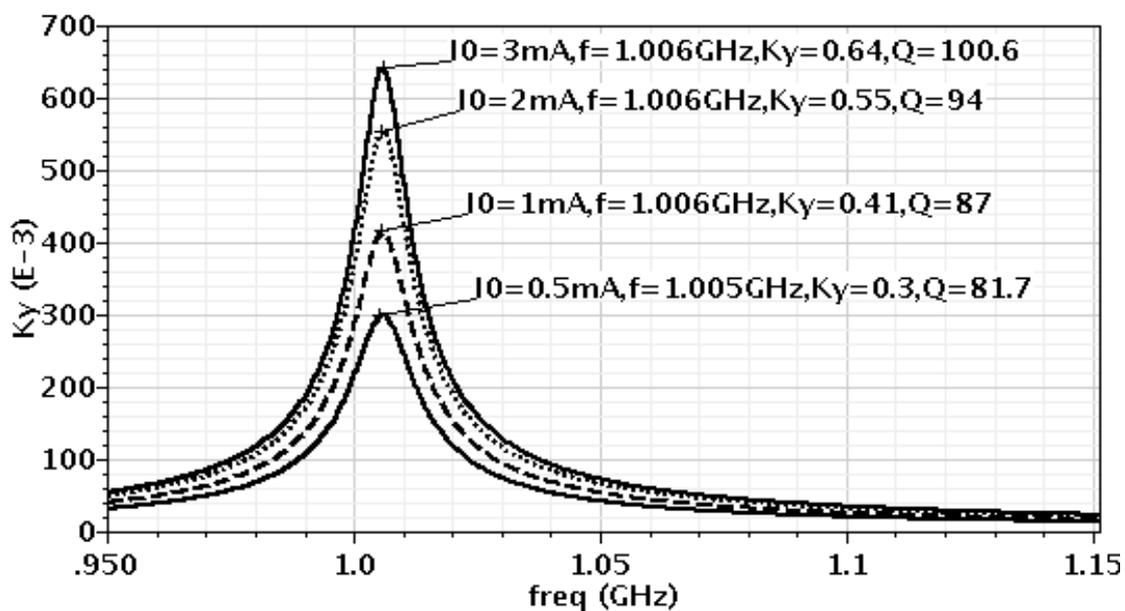


Рисунок 5.9 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях тока токостабилизирующего двухполюсника

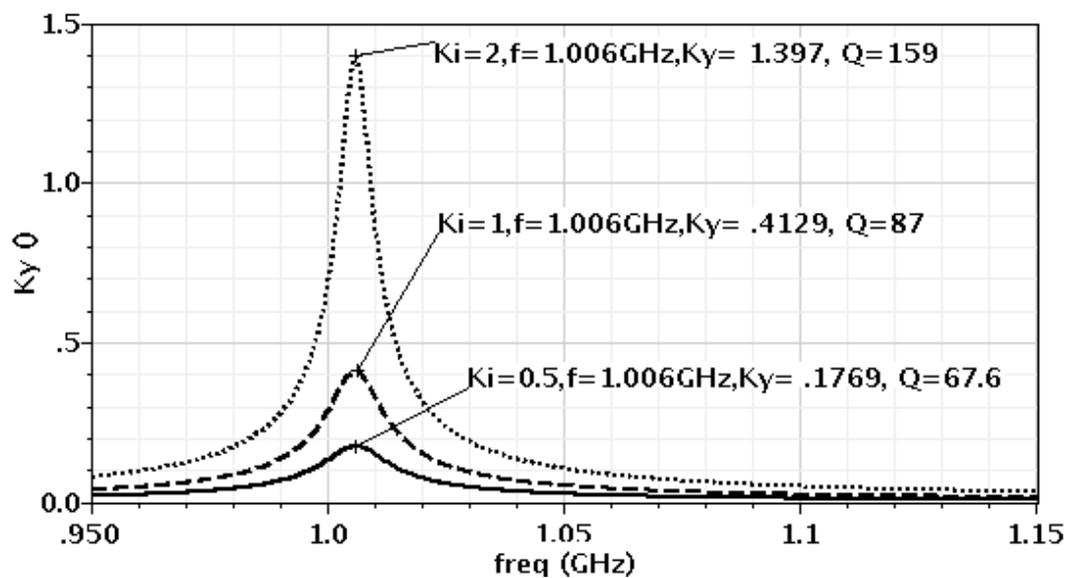


Рисунок 5.10 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях  $K_i$  дополнительного токового зеркала

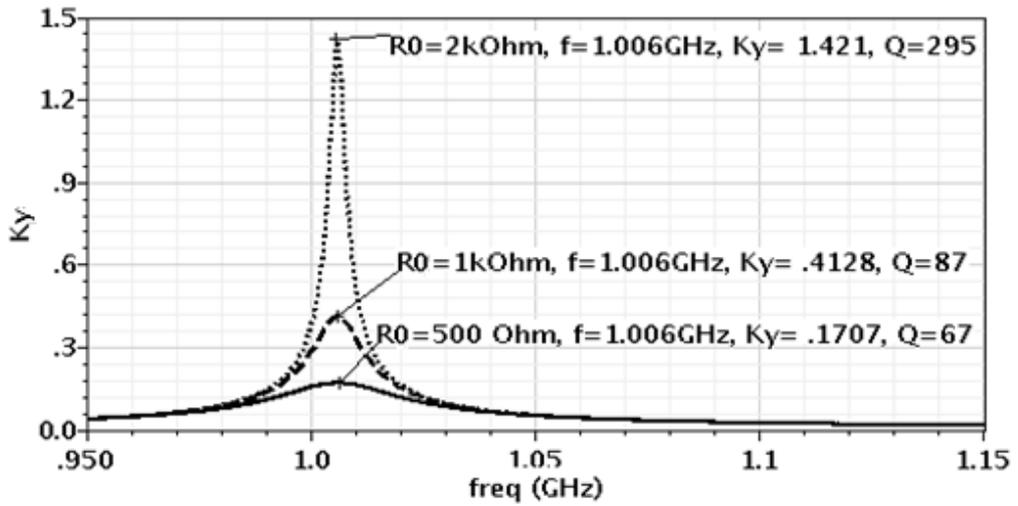


Рисунок 5.11 – Амплитудно-частотные характеристики ИУ рис. 5.5 при различных значениях сопротивления паразитного резистора R1

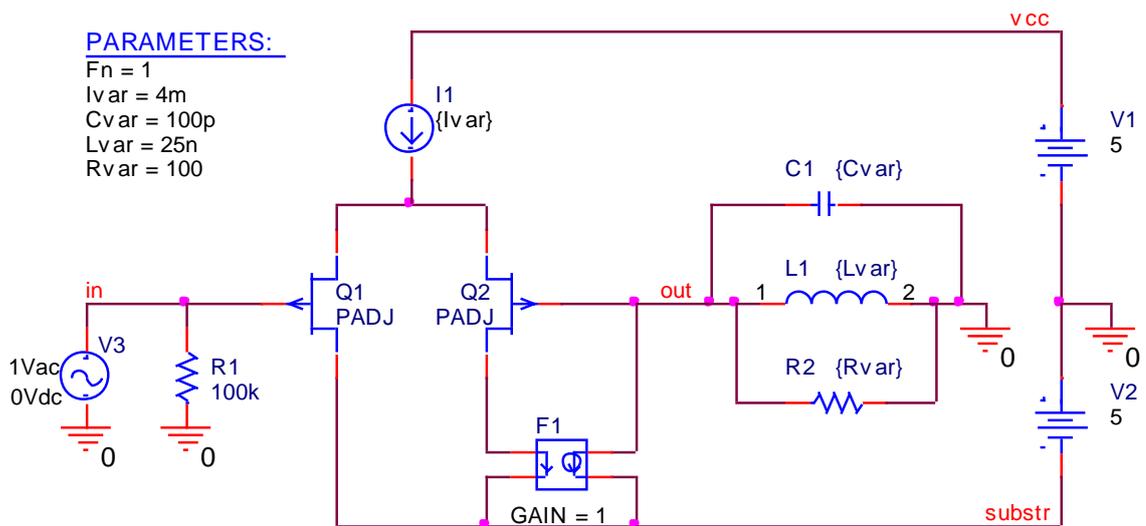


Рисунок 5.12 – Схема избирательного усилителя рис. 5.2 в среде компьютерного моделирования PSpice

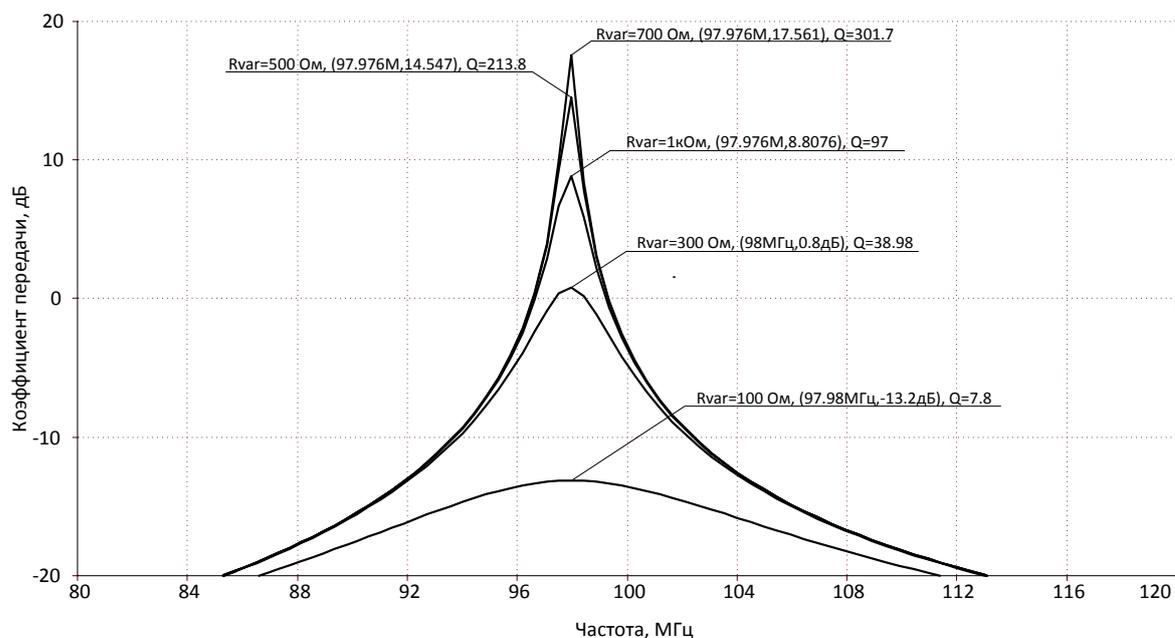


Рисунок 5.13 – Амплитудно-частотные характеристики ИУ рис. 5.12 при различных значениях сопротивления паразитного резистора R1

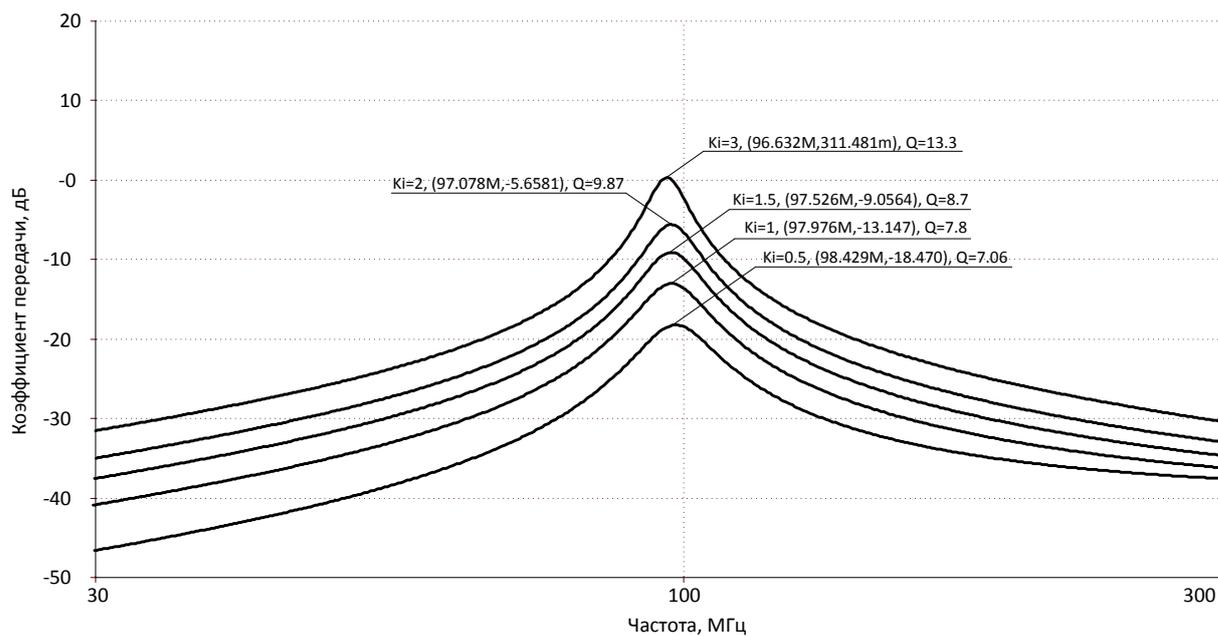


Рисунок 5.14 – Амплитудно-частотные характеристики ИУ рис. 12 при различных значениях коэффициента передачи по току токового зеркала

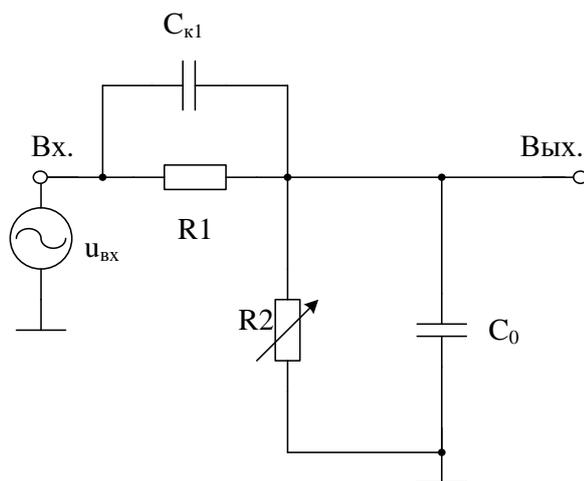


Рисунок 5.15 – Схема классического аттенюатора

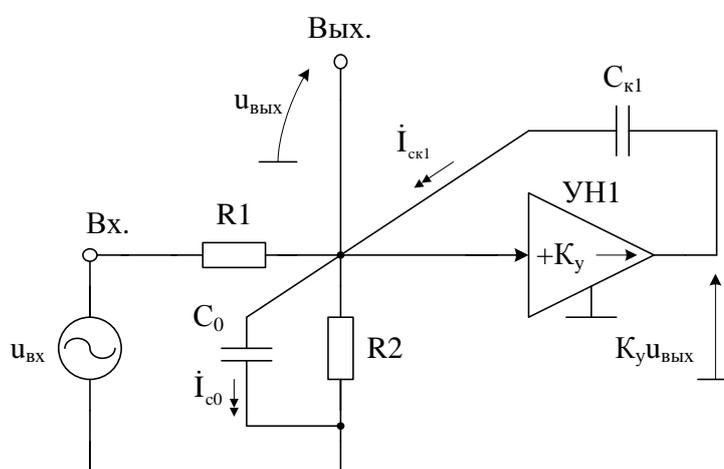


Рисунок 5.16 – Схема предлагаемого аттенюатора

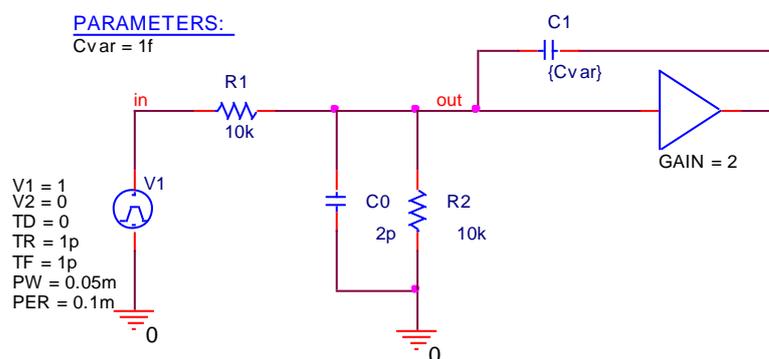


Рисунок 5.17 – Схема предлагаемого АТ рис. 5.16 в среде PSpice

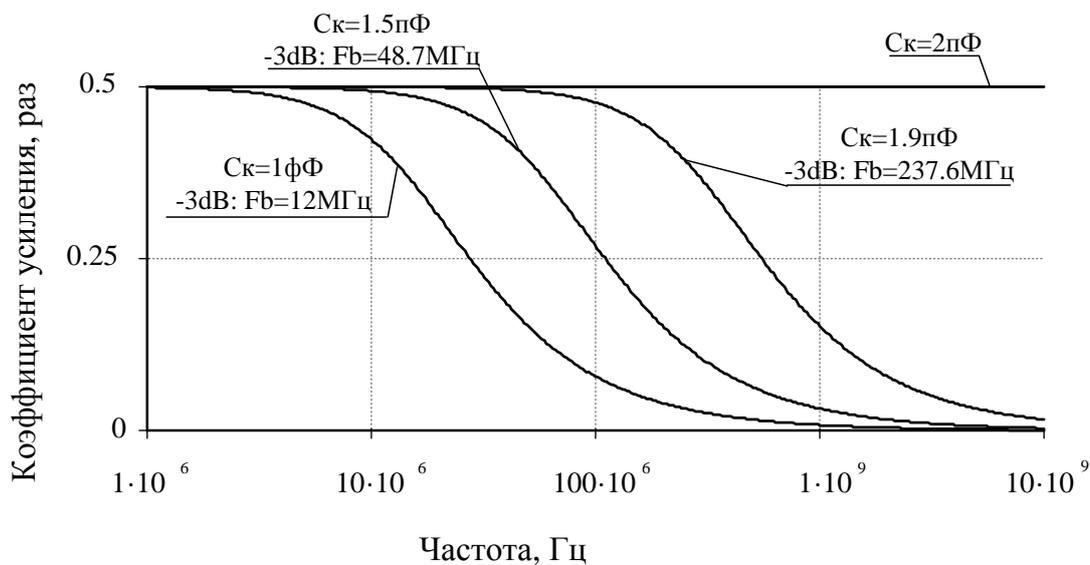


Рисунок 5.18 – Частотная зависимость коэффициента передачи аттенюатора

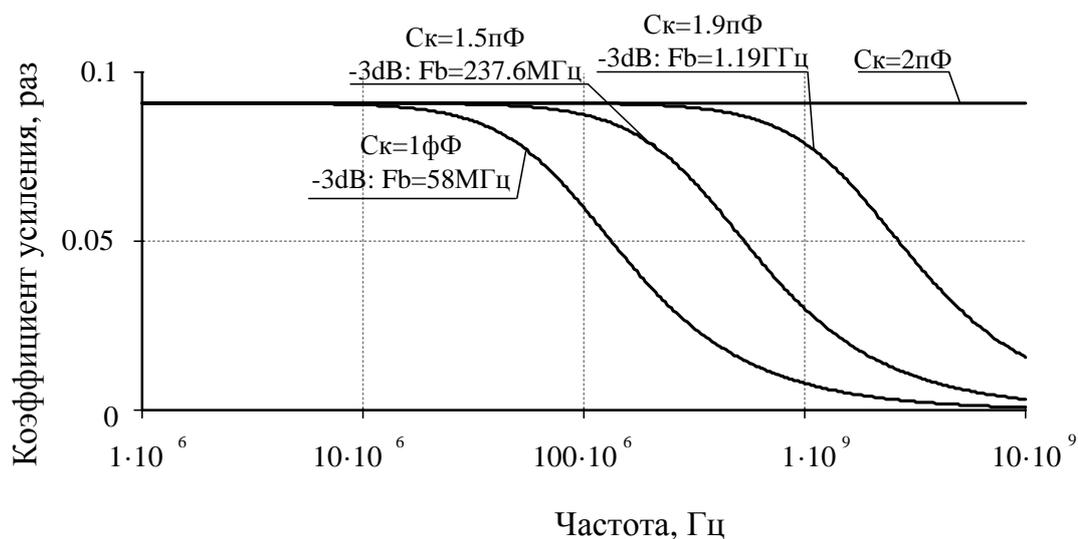


Рисунок 5.19 – Частотная зависимость коэффициента передачи аттенюатора рис. 5.16 при более низкоомном резисторе  $R_2 = 1 \text{ кОм}$

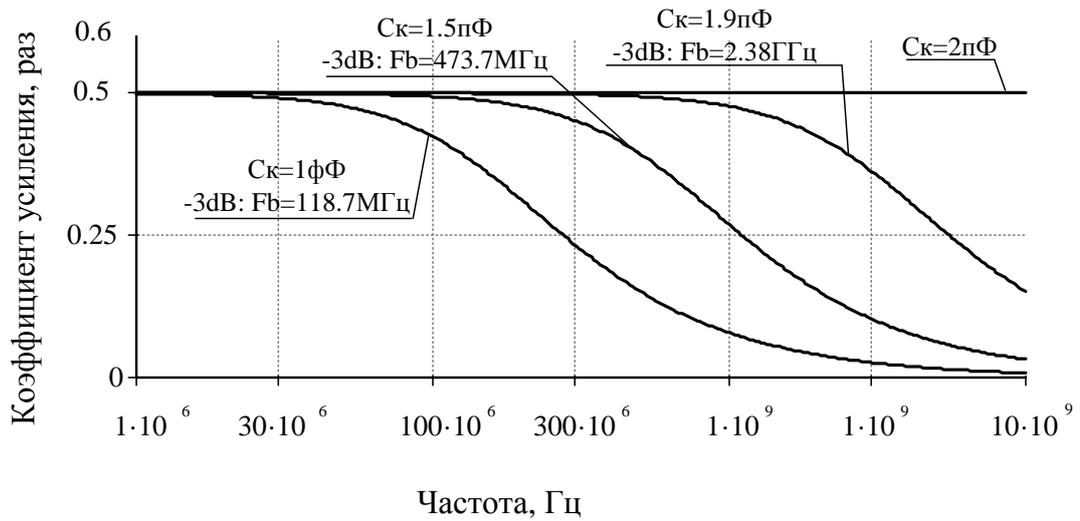


Рисунок 5.20 – Частотная зависимость коэффициента передачи аттенюатора рис. 5.16 при сравнительно низкоомных и идентичных сопротивлениях  $R_1=R_2=1\text{кОм}$ ,  $C_0=2\text{ пФ}$

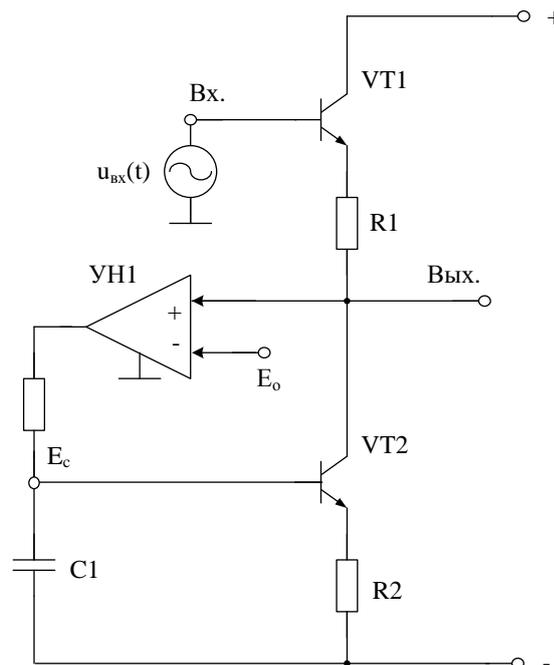


Рисунок 5.21 – Схема классической цепи смещения

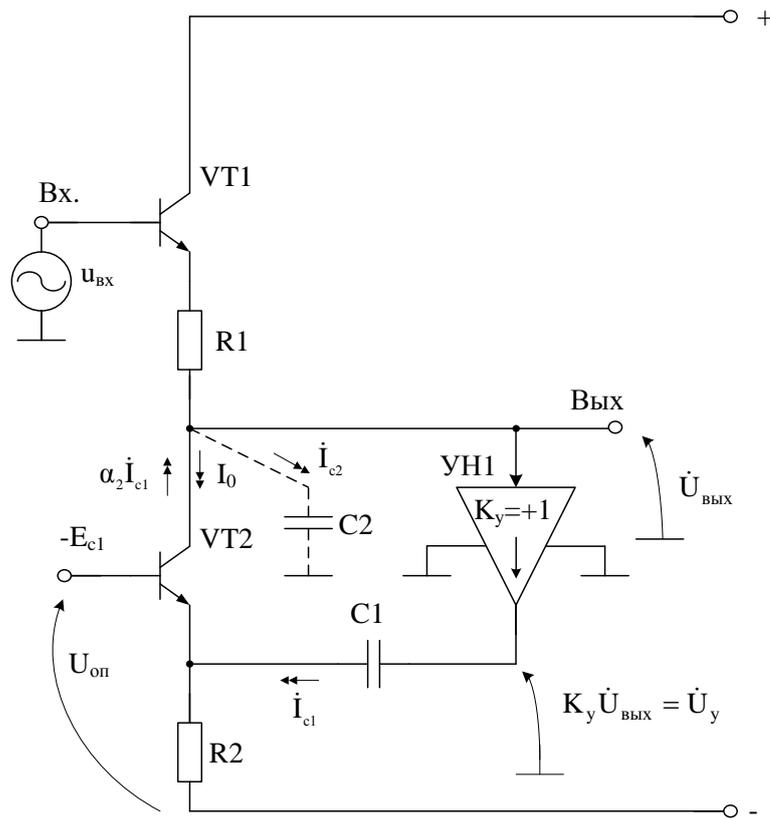


Рисунок 5.22 – Схема предлагаемой цепи смещения

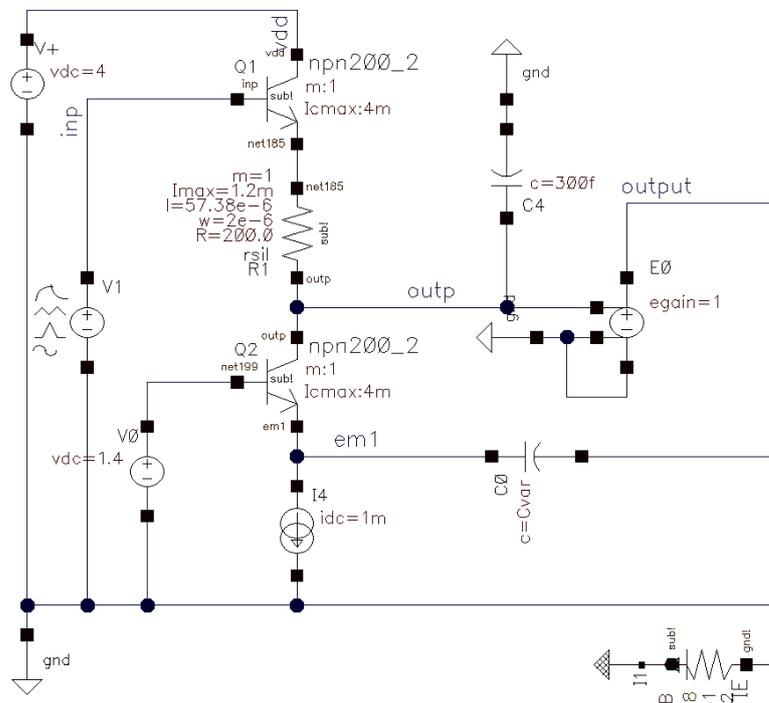


Рисунок 5.23 – Схема предлагаемой цепи смещения в среде Cadence

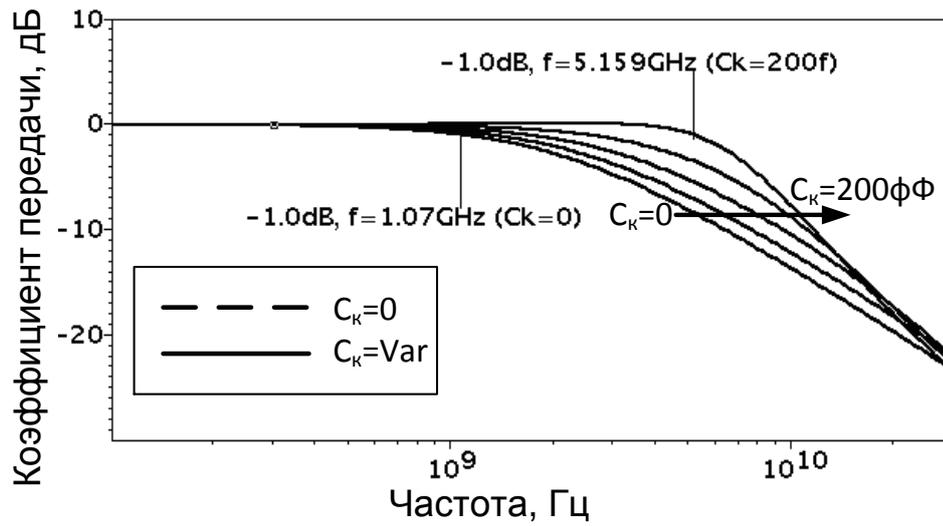


Рисунок 5.24 – Логарифмическая АЧХ коэффициента передачи ЦС рис. 5.23 при разных значениях корректирующего конденсатора  $C_k$

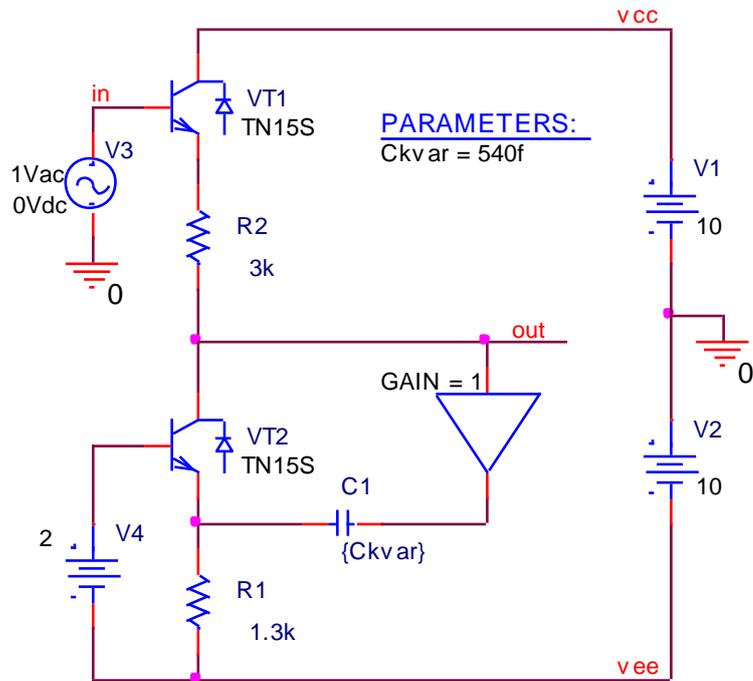


Рисунок 5.25 – Схема ЦС рис. 5.22 в среде PSpice

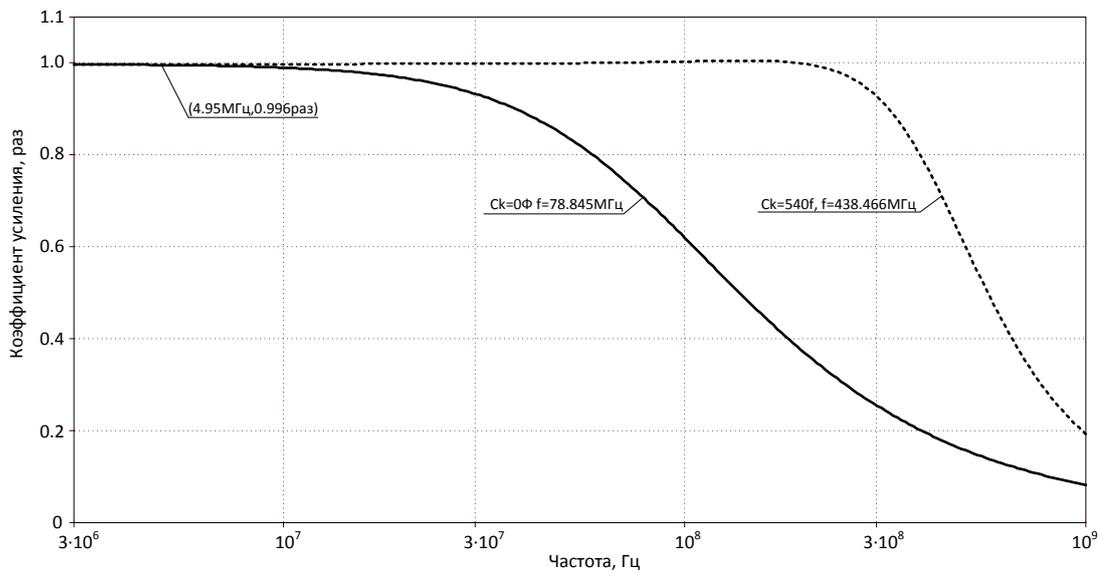


Рисунок 5.26 – Логарифмическая АЧХ коэффициента передачи ЦС рис. 5.25 при разных значениях емкости корректирующего конденсатора  $C_k$

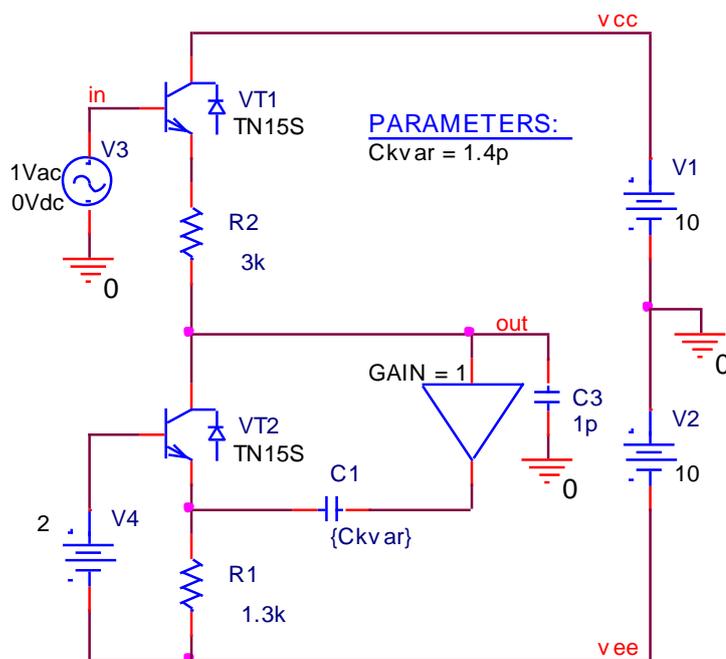


Рисунок 5.27 – Схема ЦС рис. 5.22 с дополнительной паразитной емкостью в выходной цепи в среде PSpice

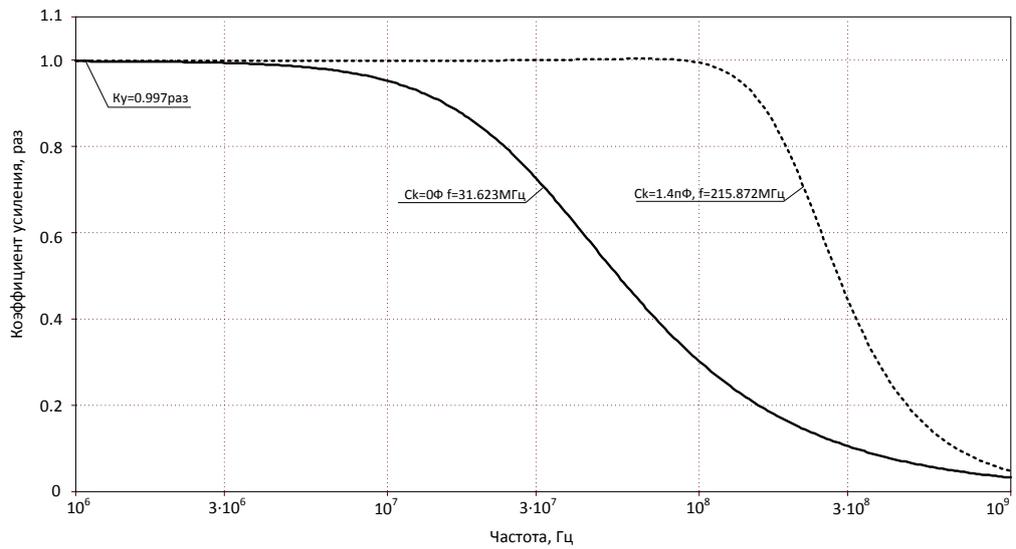


Рисунок 5.28 – Логарифмическая АЧХ коэффициента передачи ЦС рис. 5.27 при разных значениях емкости корректирующего конденсатора  $C_k$

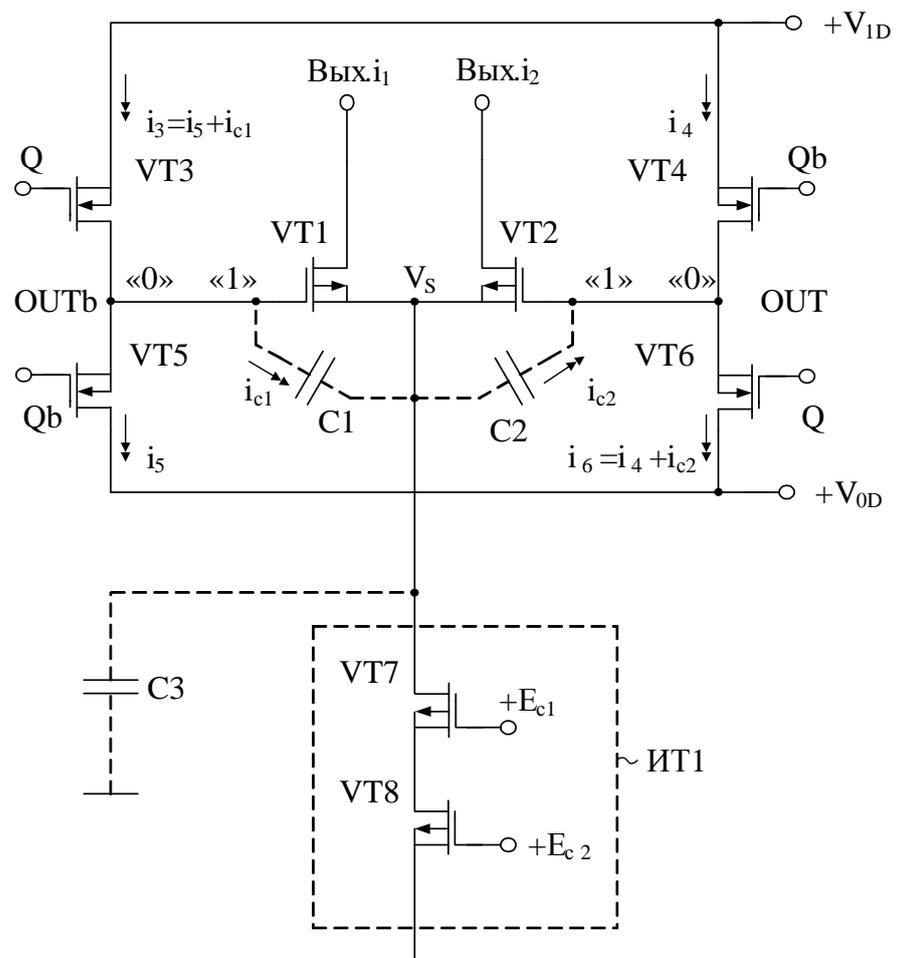


Рисунок 5.29 – Схема классического драйвера

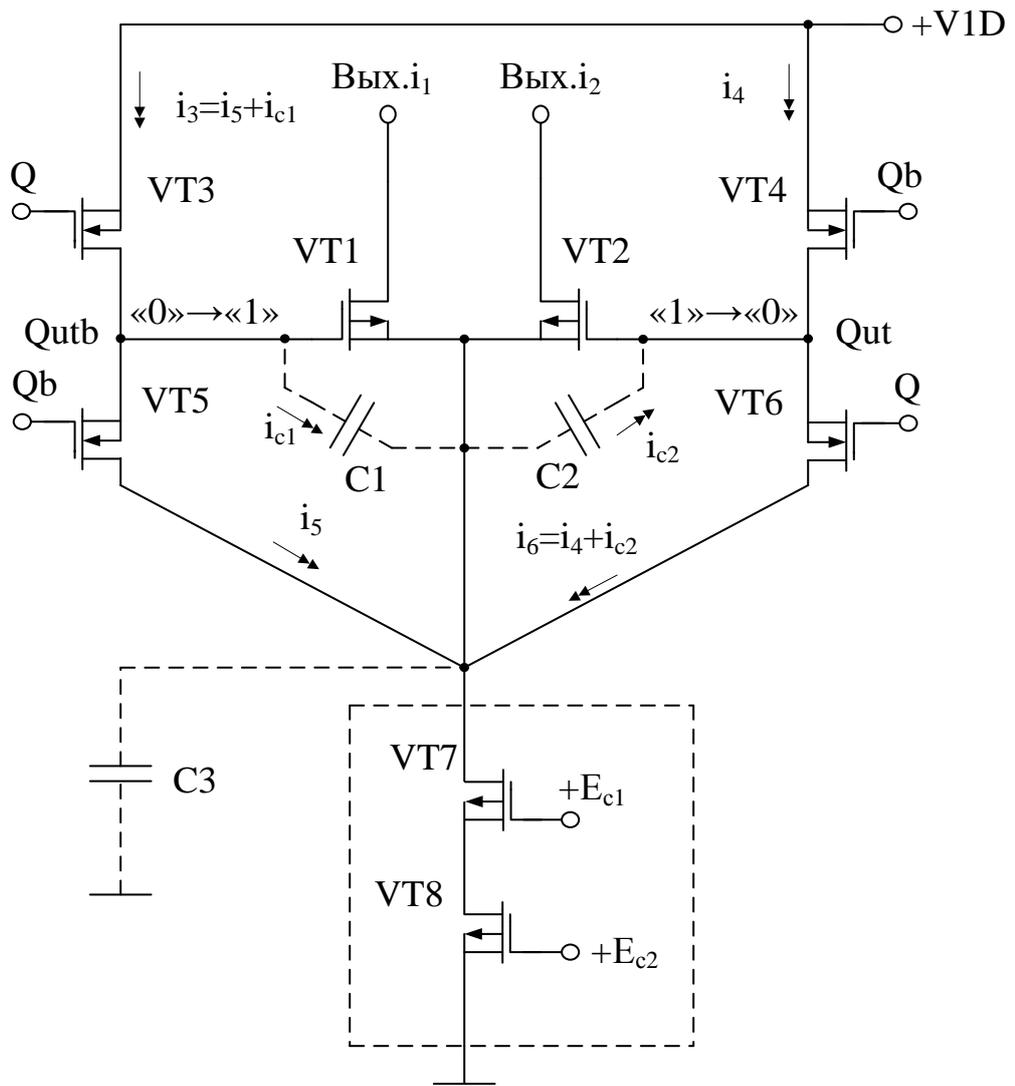


Рисунок 5.30 – Схема предлагаемого драйвера

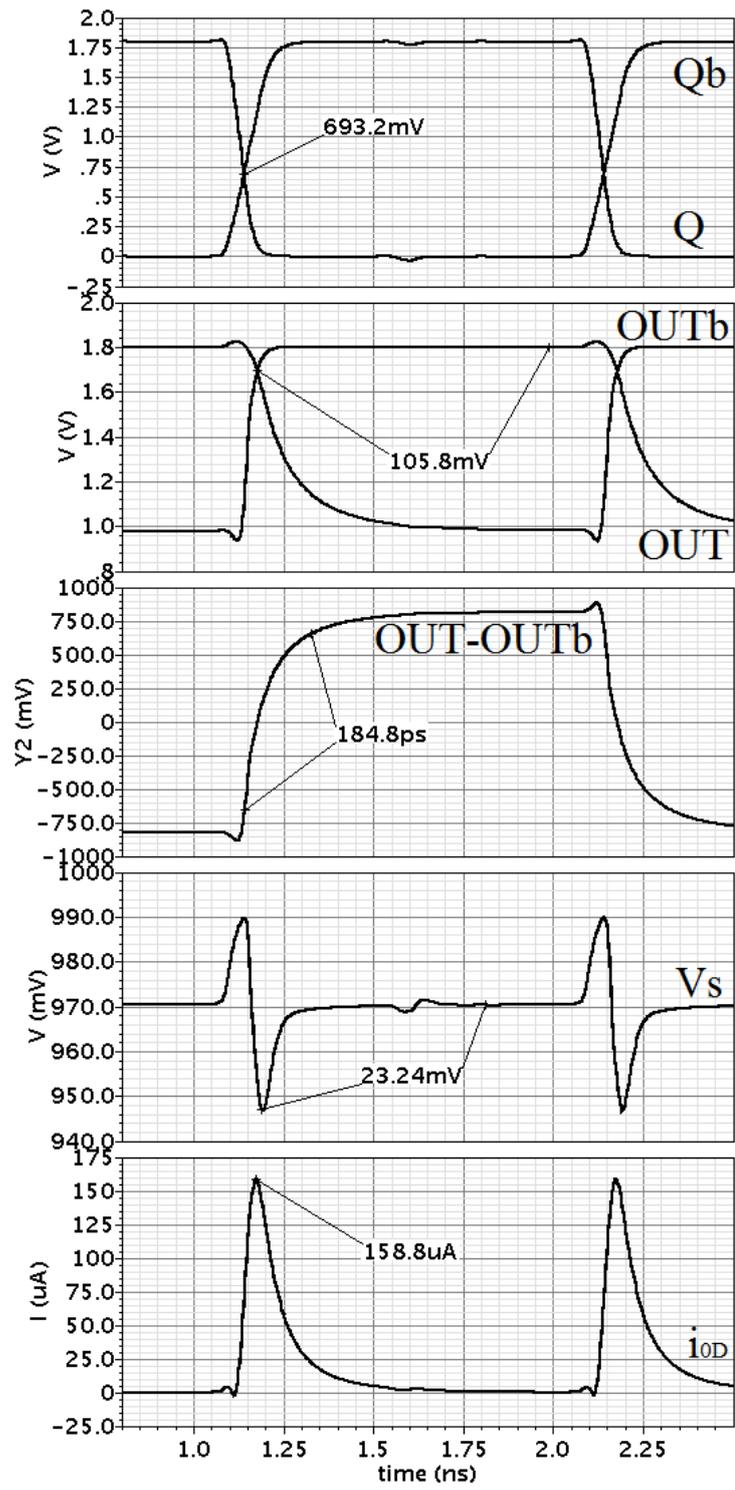


Рисунок 5.31 – Временная диаграмма сигналов в классической схеме

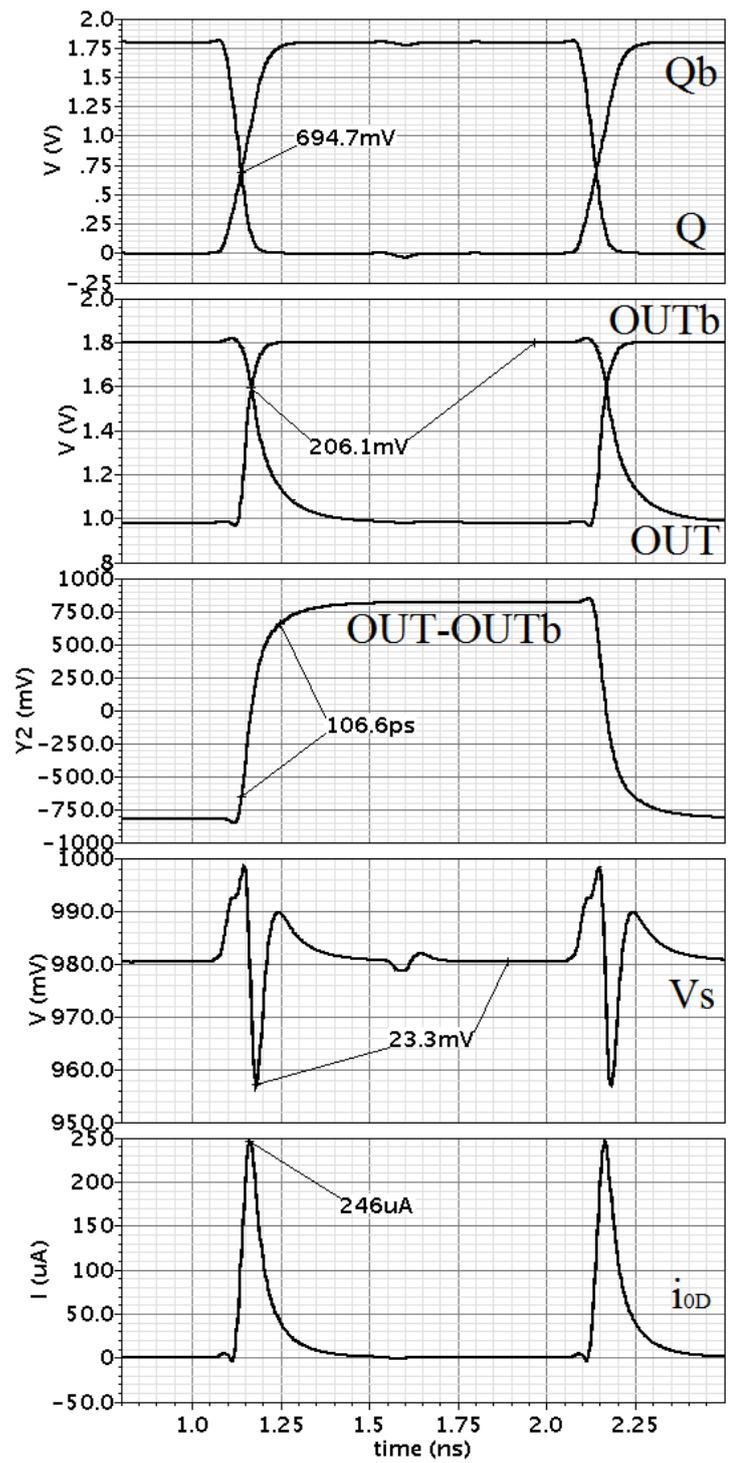


Рисунок 5.32 – Временная диаграмма сигналов в предлагаемой схеме

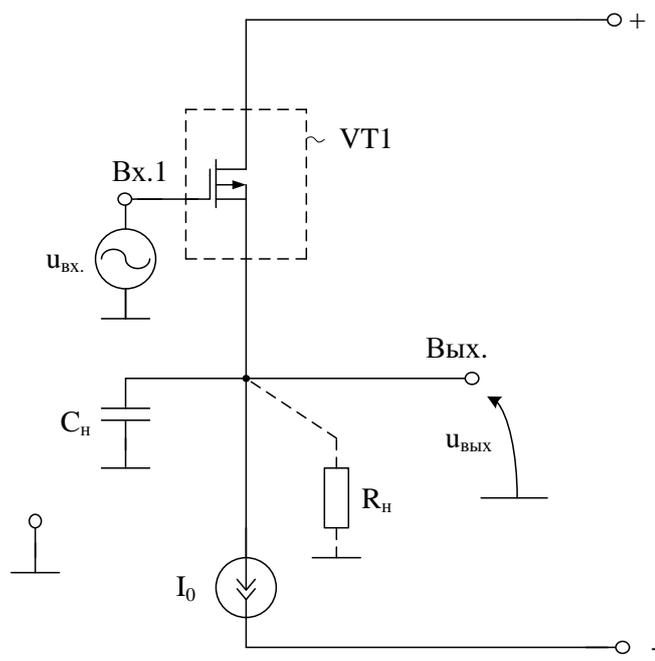


Рисунок 5.33 – Схема классического повторителя напряжения

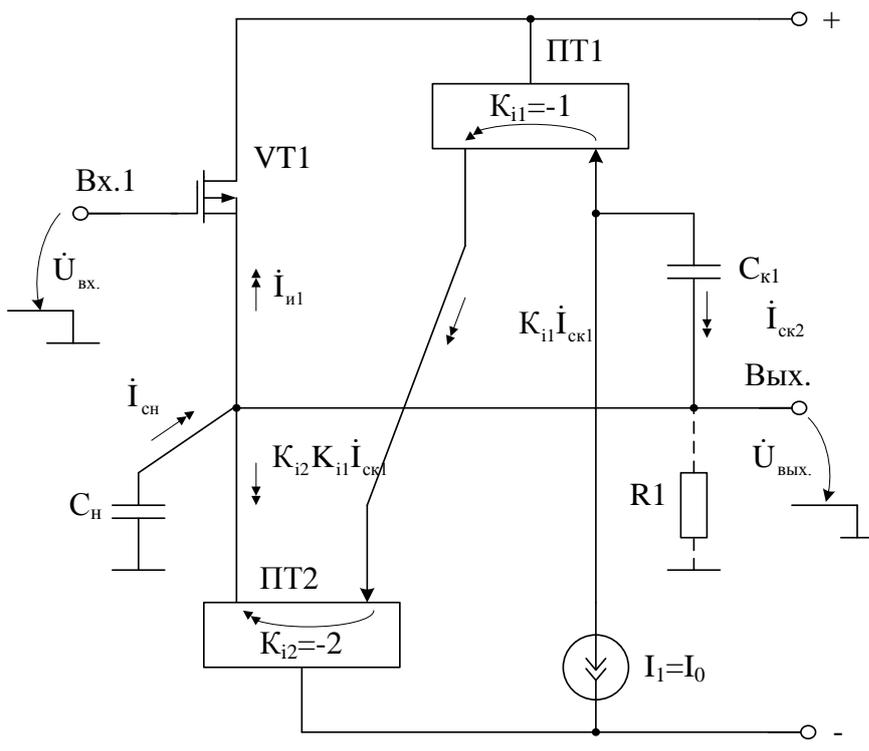


Рисунок 5.34 – Схема быстродействующего ШПН

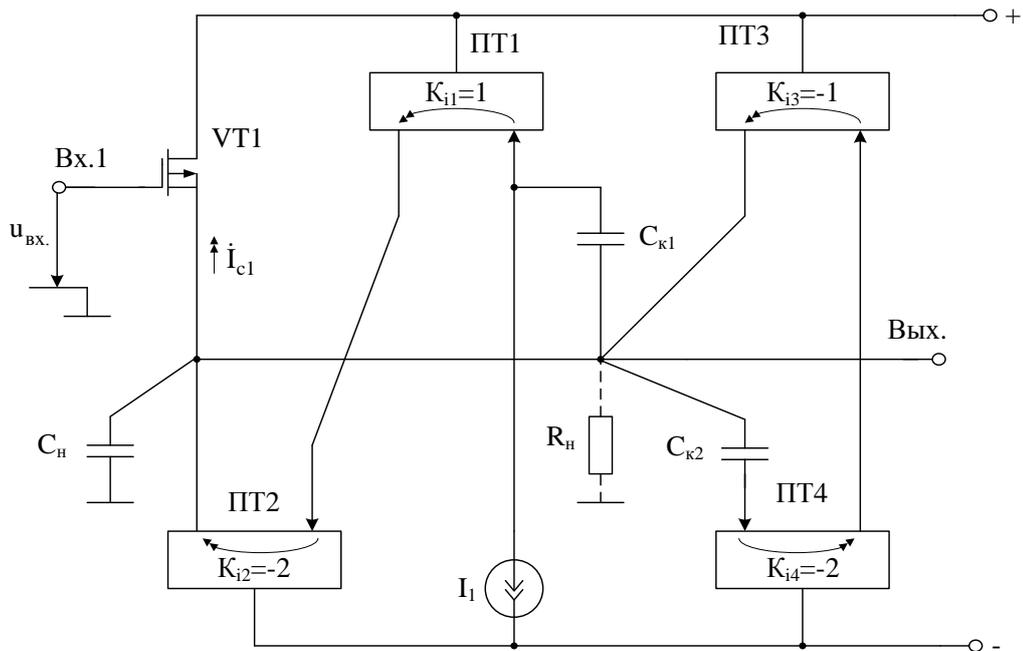


Рисунок 5.35 – Схема предлагаемого ШПН

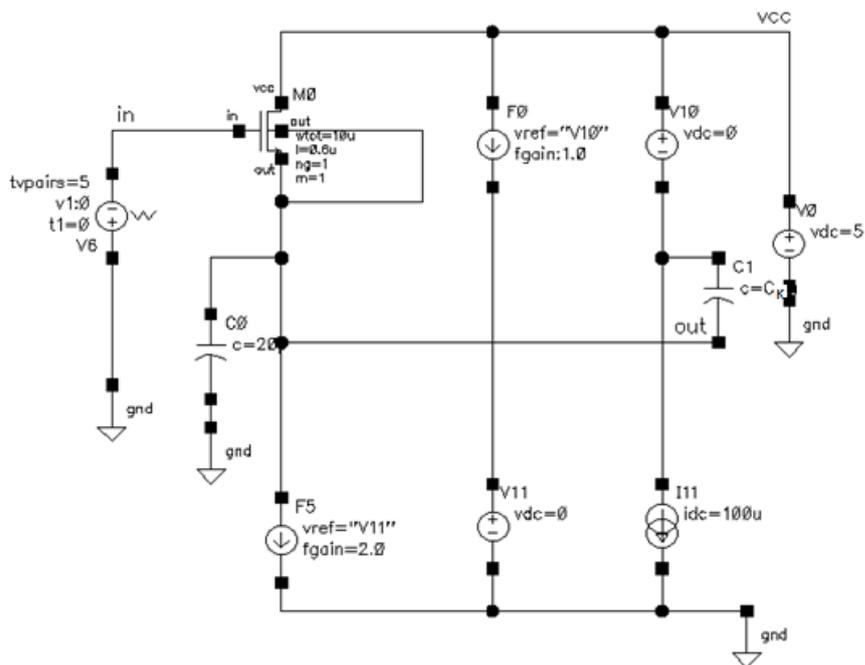


Рисунок 5.36 – Схема предлагаемого ШПН в среде компьютерного моделирования Cadence

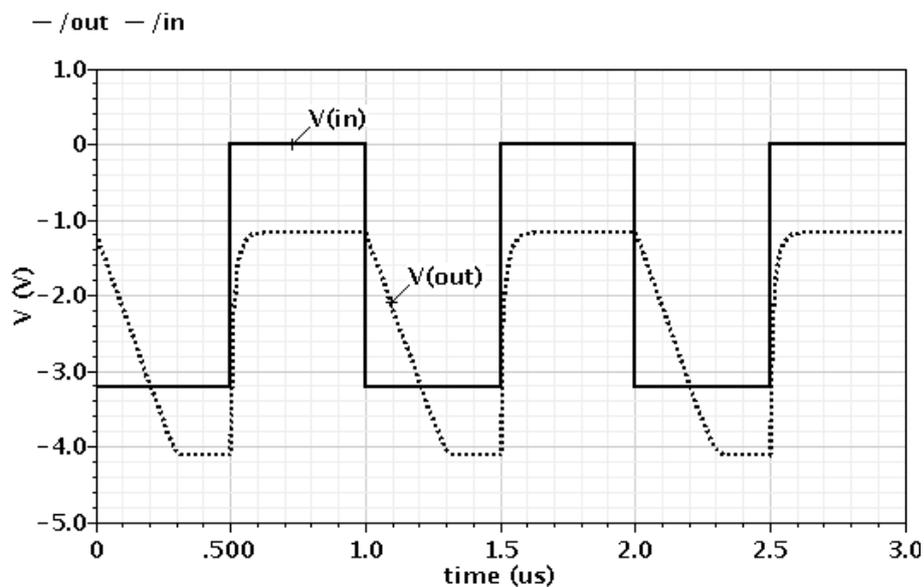


Рисунок 5.37 – Осциллограмма входных и выходных сигналов ШПН рис. 5.36 при емкости корректирующего конденсатора  $C_{к1} \approx 0$

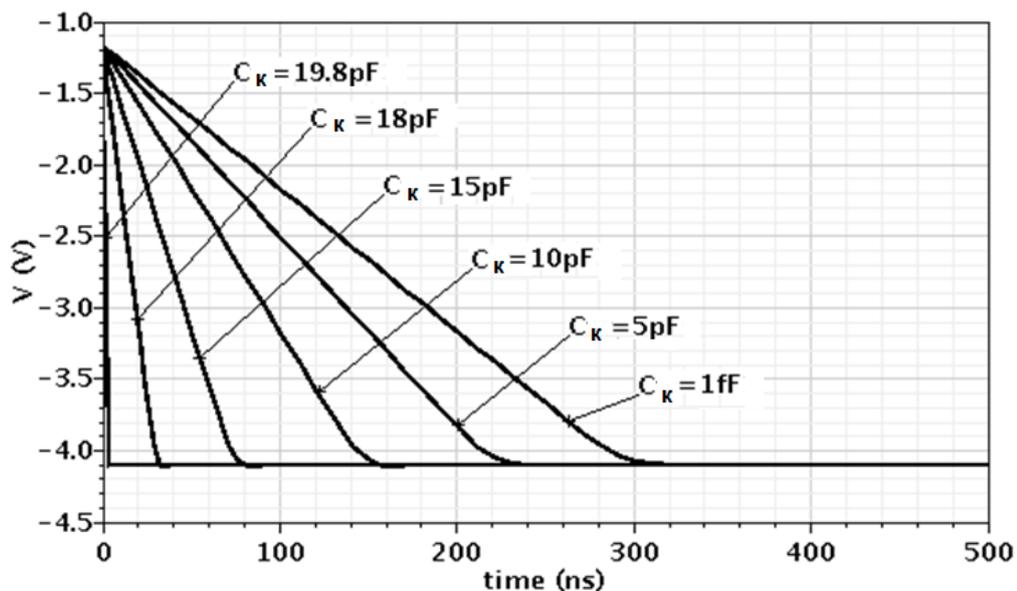


Рисунок 5.38 – Осциллограмма изменения заднего фронта выходного сигнала  $V(Out)$  ШПН рис. 5.36 при изменении емкости корректирующего конденсатора  $C_{к1}$  в диапазоне  $0 \div 20$  пФ

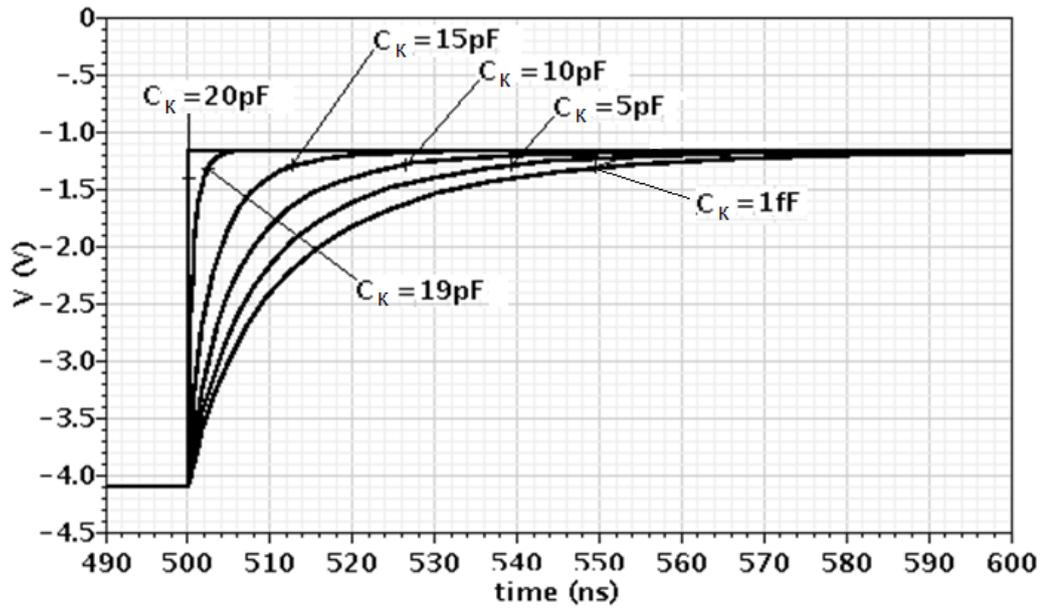
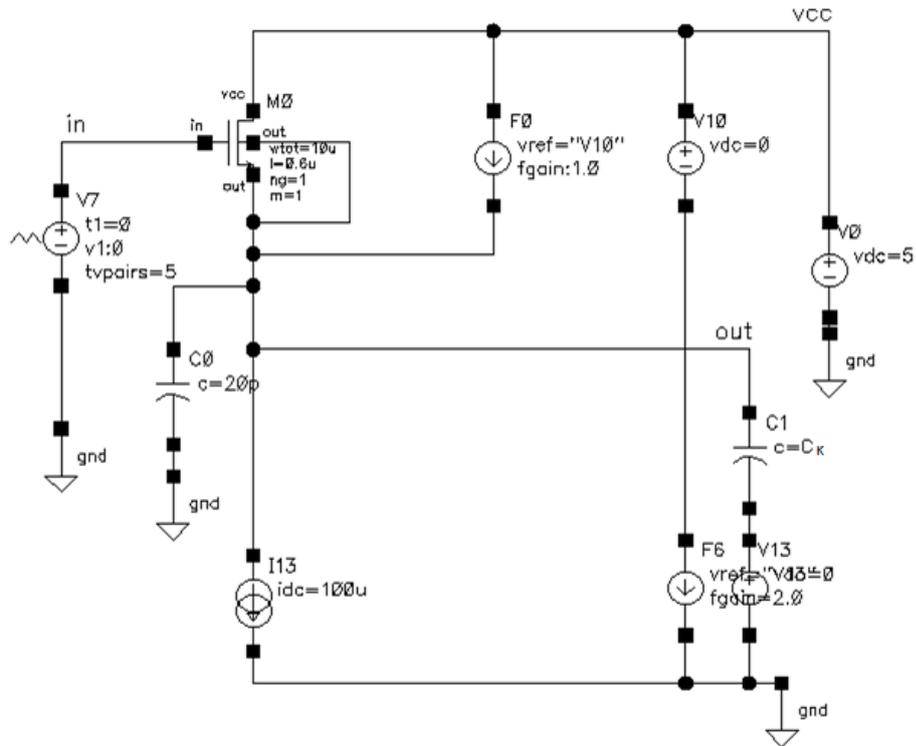


Рисунок 5.39 – Осциллограмма изменения переднего фронта выходного сигнала (Out) ШПН рис. 5.36 при изменении емкости первого корректирующего конденсатора  $C_{K1}$



a)

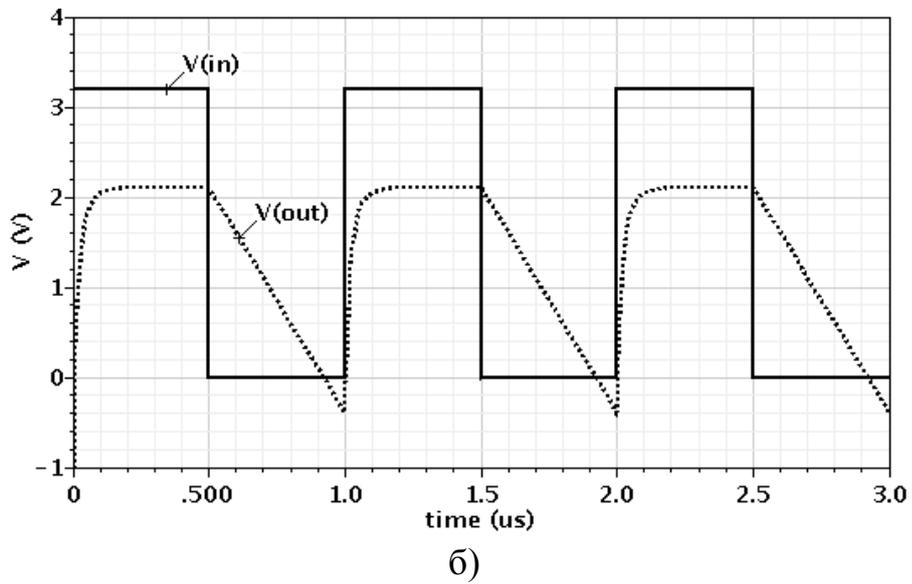


Рисунок 5.40 – Схема ШПН в среде Cadence

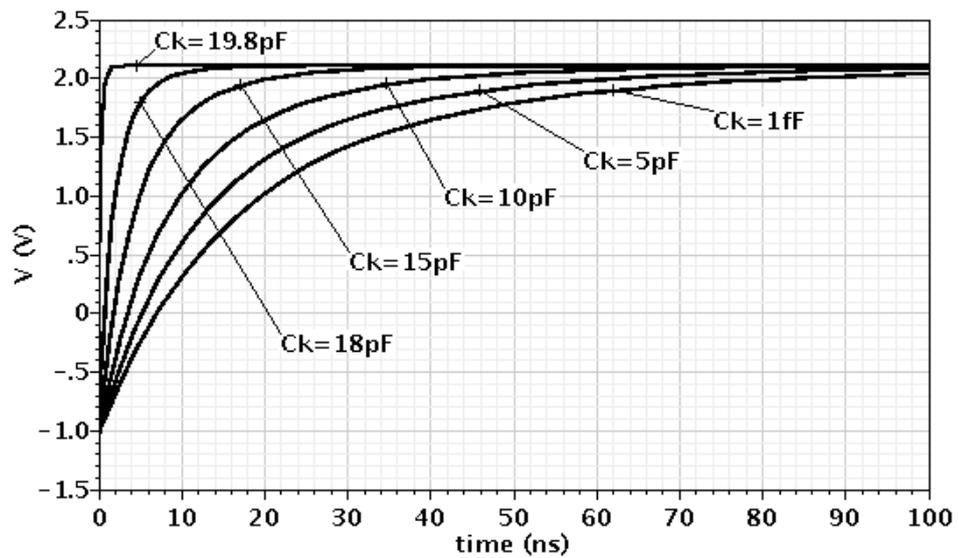


Рисунок 5.41 – Осциллограмма изменения переднего фронта выходного сигнала  $V(Out)$  ШПН рис. 5.40 при разных значениях емкости корректирующего конденсатора  $C_{к2}=C_k$



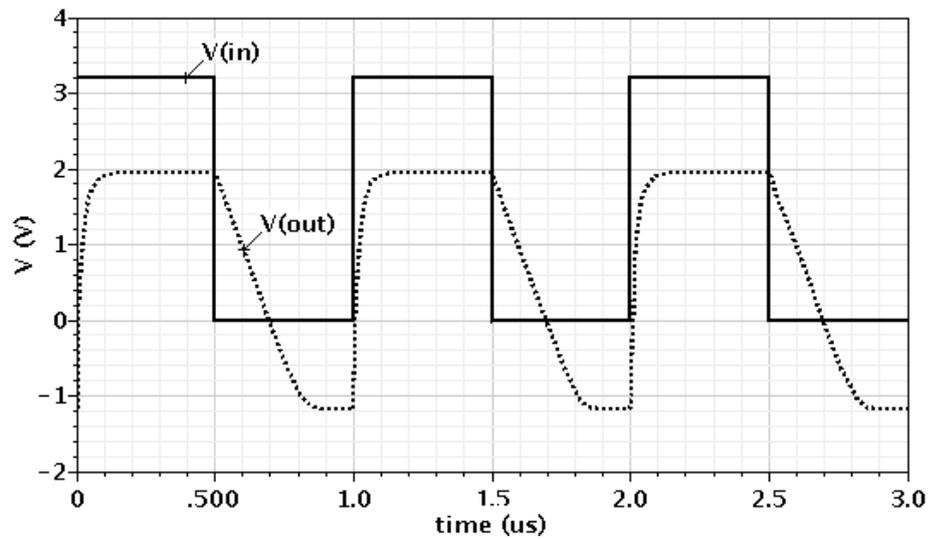


Рисунок 5.44 – Осциллограмма входных и выходных сигналов ШПН рис. 5.43 при емкостях корректирующих конденсаторов  $C_{к1} = C_{к2} = C_{к} = 0$

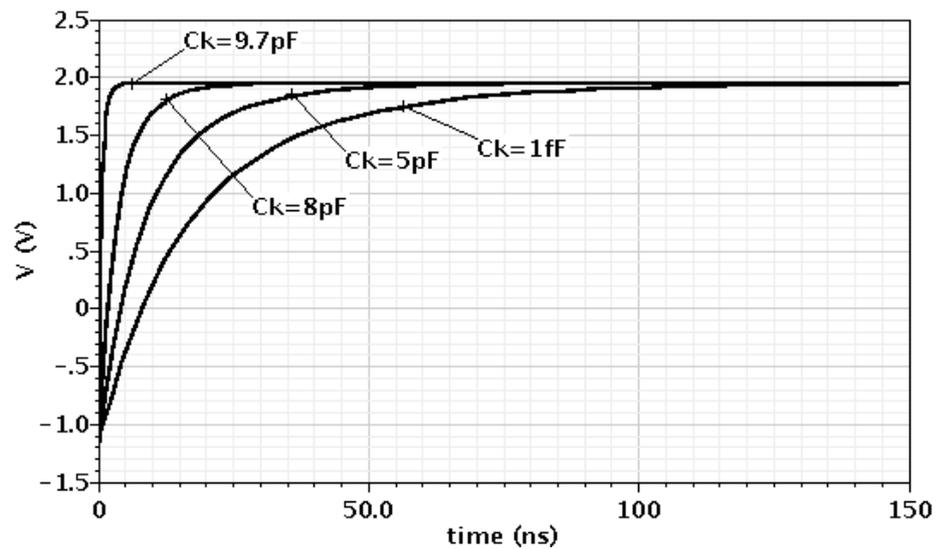


Рисунок 5.45 – Осциллограмма изменения переднего фронта выходного сигнала  $V(Out)$  ШПН рис. 5.43 при различных емкостях корректирующих конденсаторов  $C_{к} = C_{к1} = C_{к2}$

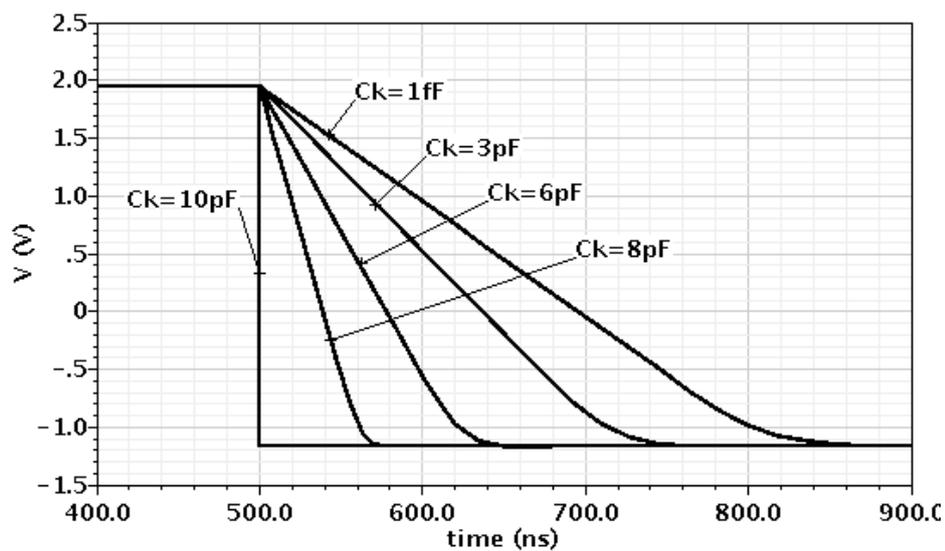


Рисунок 5.46– Осциллограмма изменения заднего фронта выходного сигнала (Out) рис. 5.43 при изменении  $C_k=C_{k1}=C_{k2}$

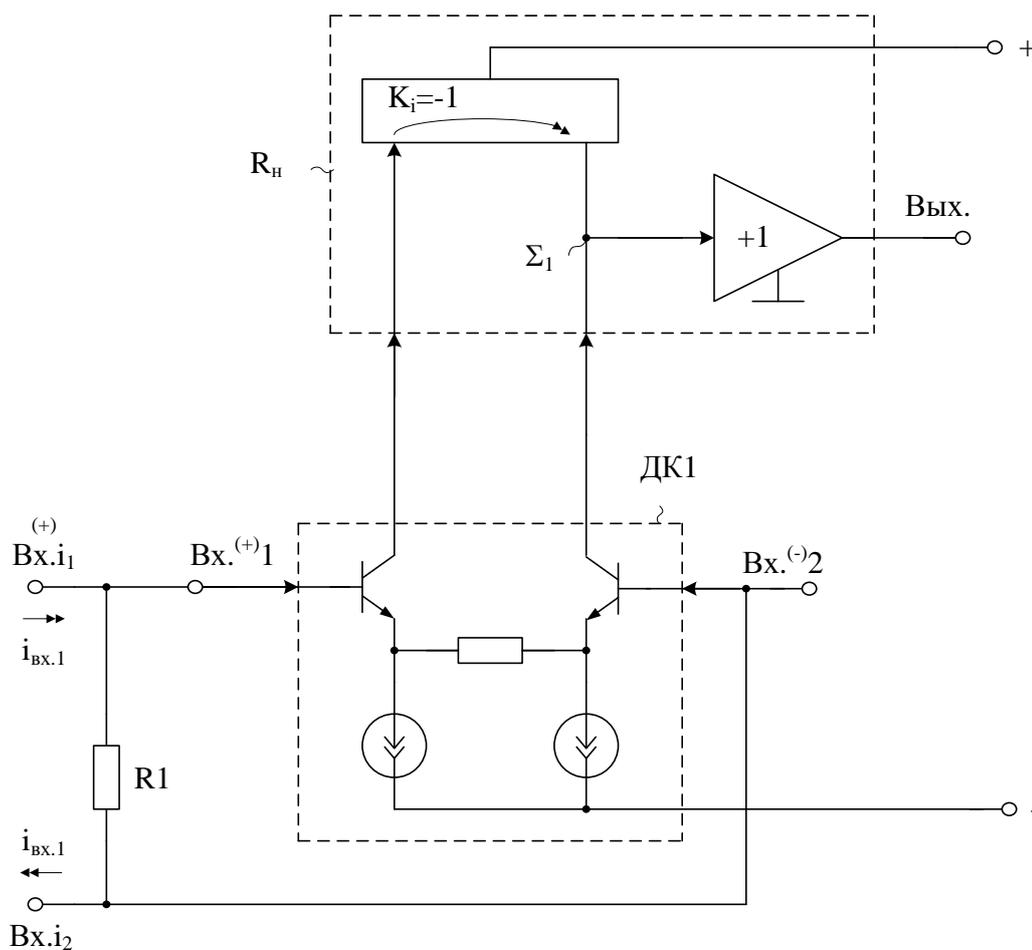


Рисунок 5.47 – Схема классического преобразователя

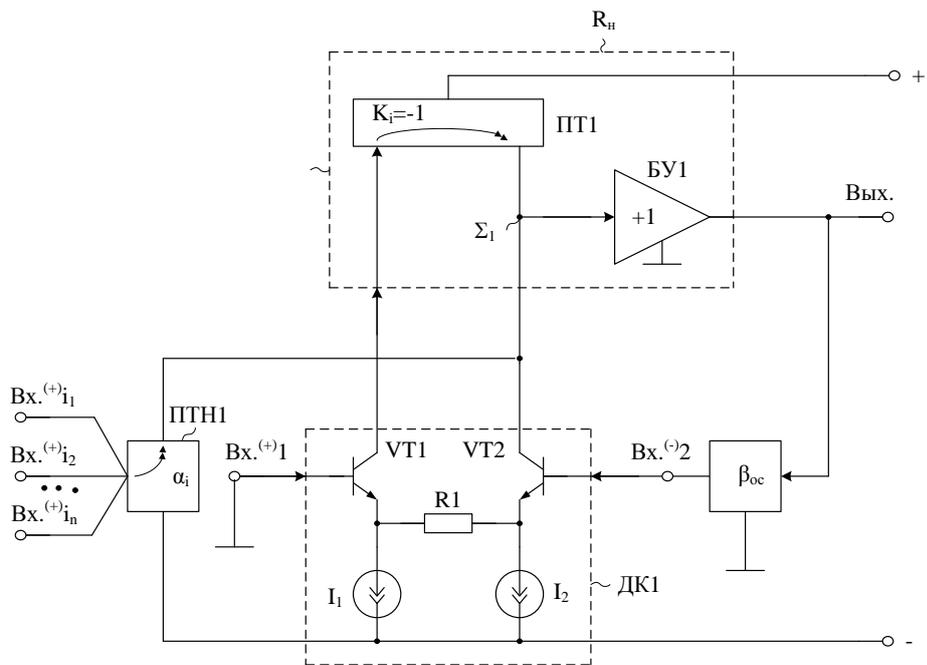


Рисунок 5.48 – Схема предлагаемого преобразователя

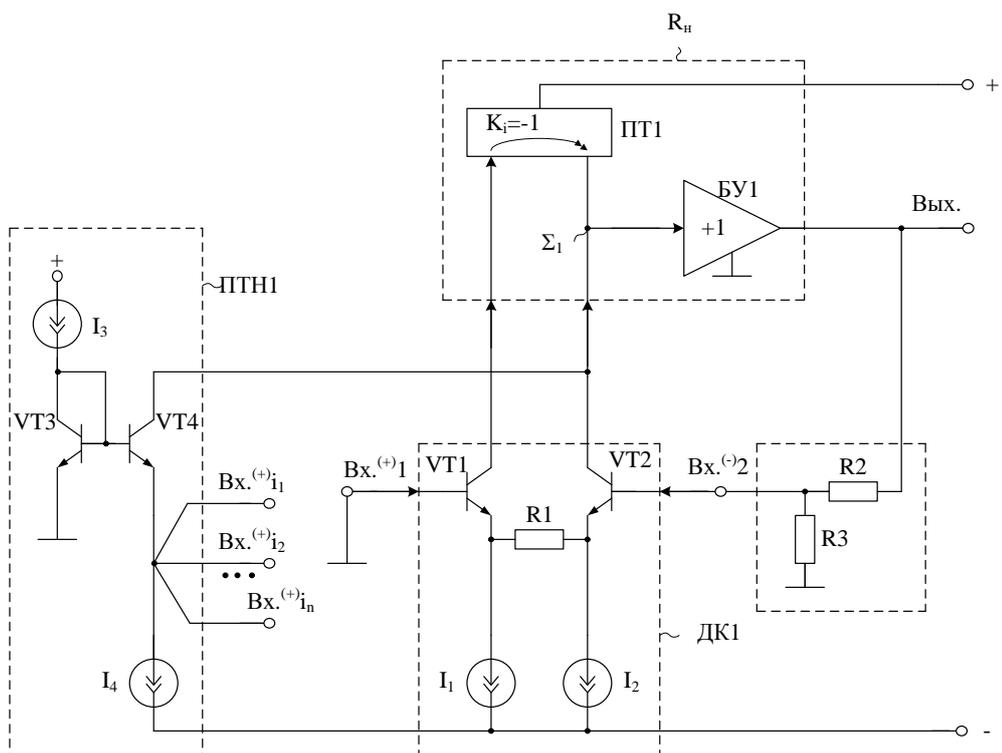


Рисунок 5.49 – Вариант практической реализации предлагаемой схемы

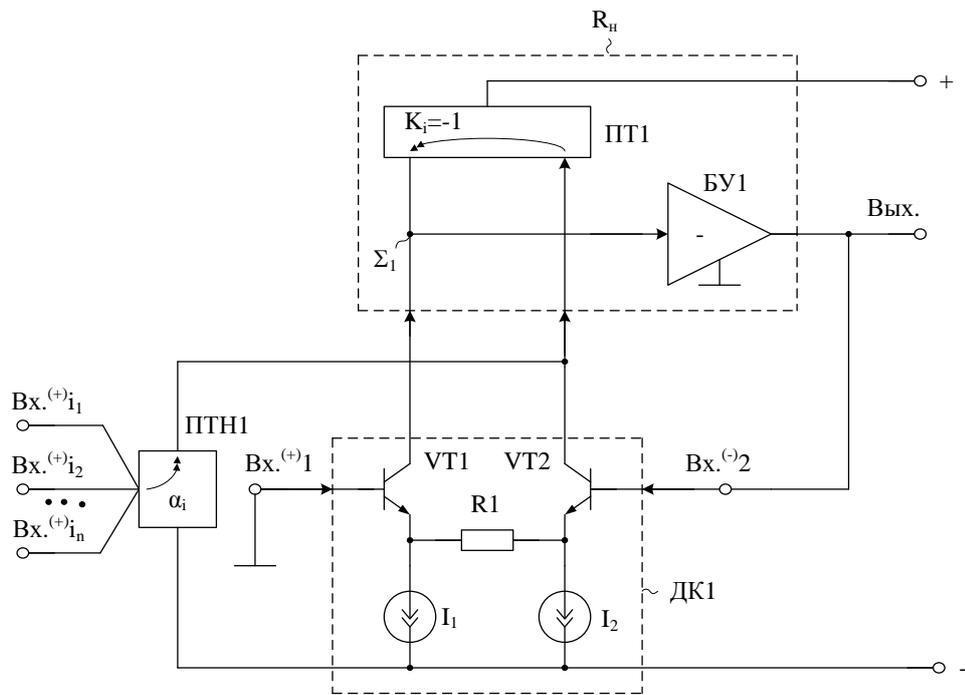


Рисунок 5.50 – Вариант практической реализации предлагаемой схемы

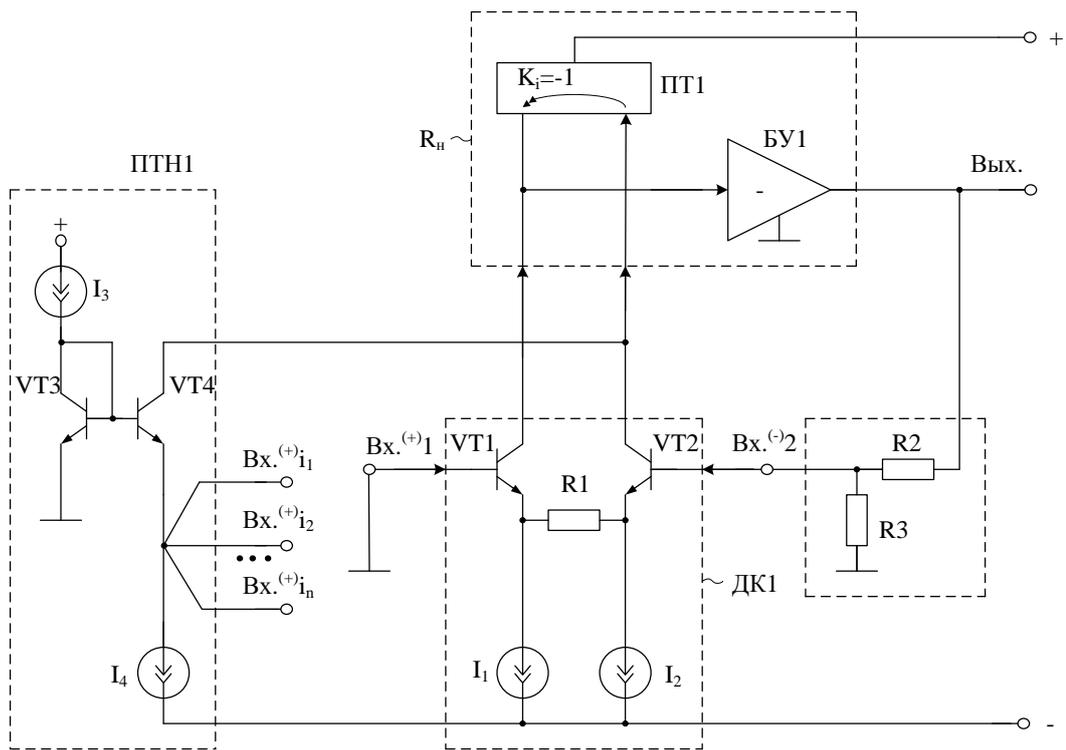


Рисунок 5.51 – Вариант практической реализации предлагаемой схемы

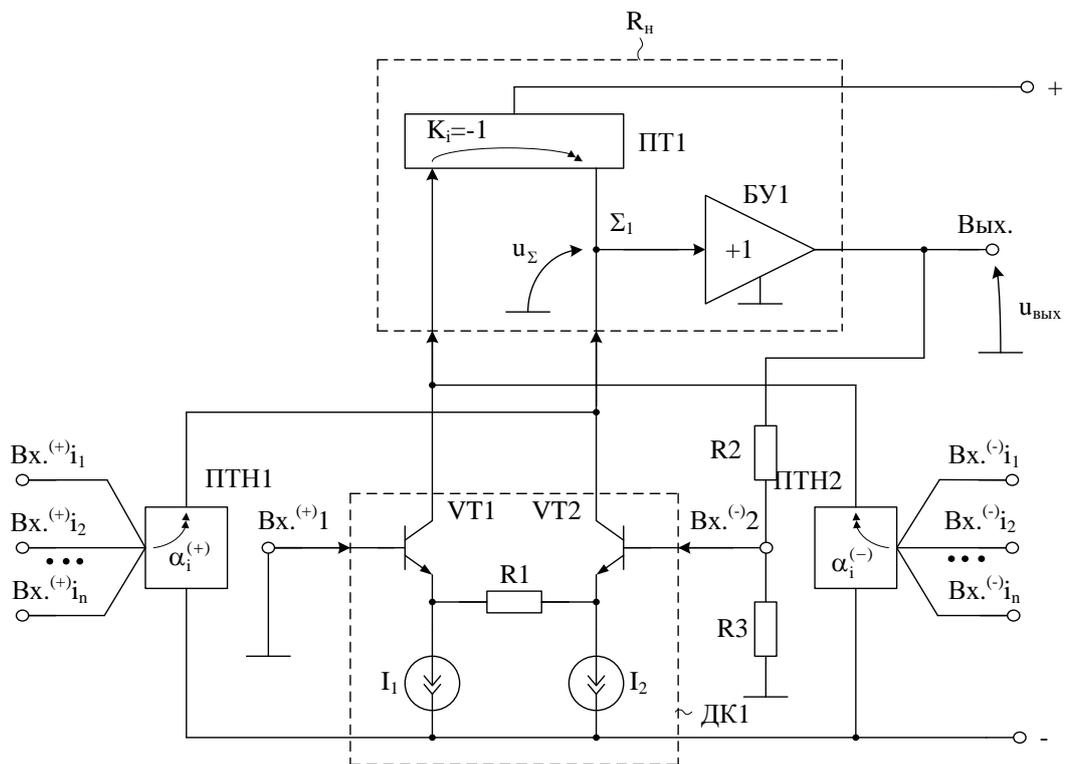


Рисунок 5.52 – Вариант практической реализации предлагаемой схемы

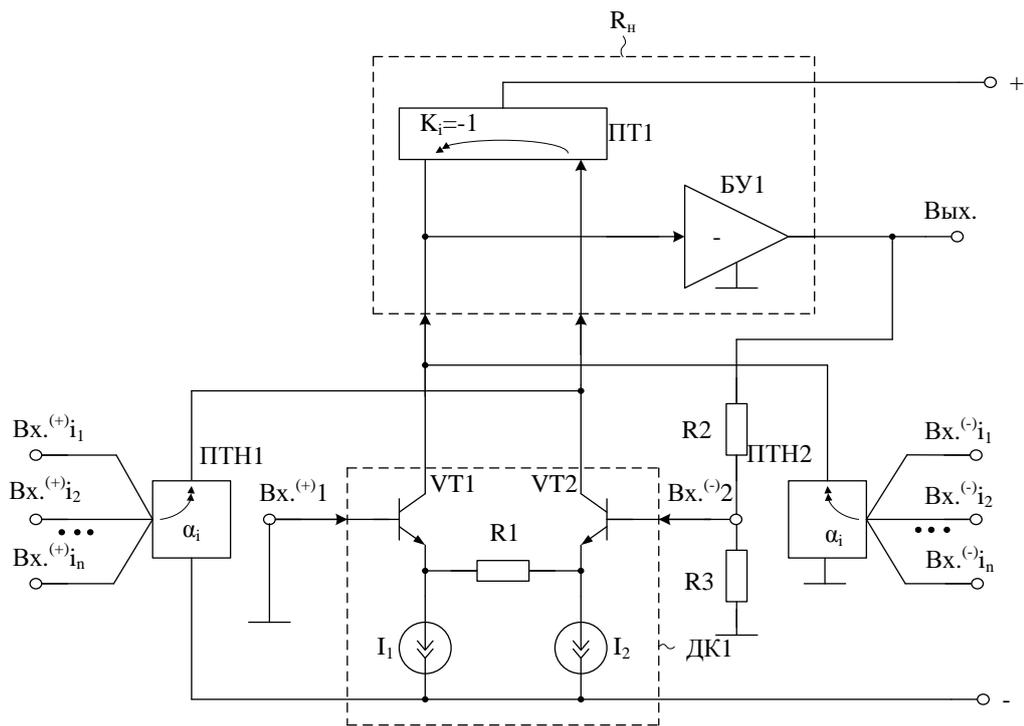


Рисунок 5.53 – Схема предлагаемого преобразователя с цепью нагрузки на основе токового зеркала и инвертирующего буферного усилителя

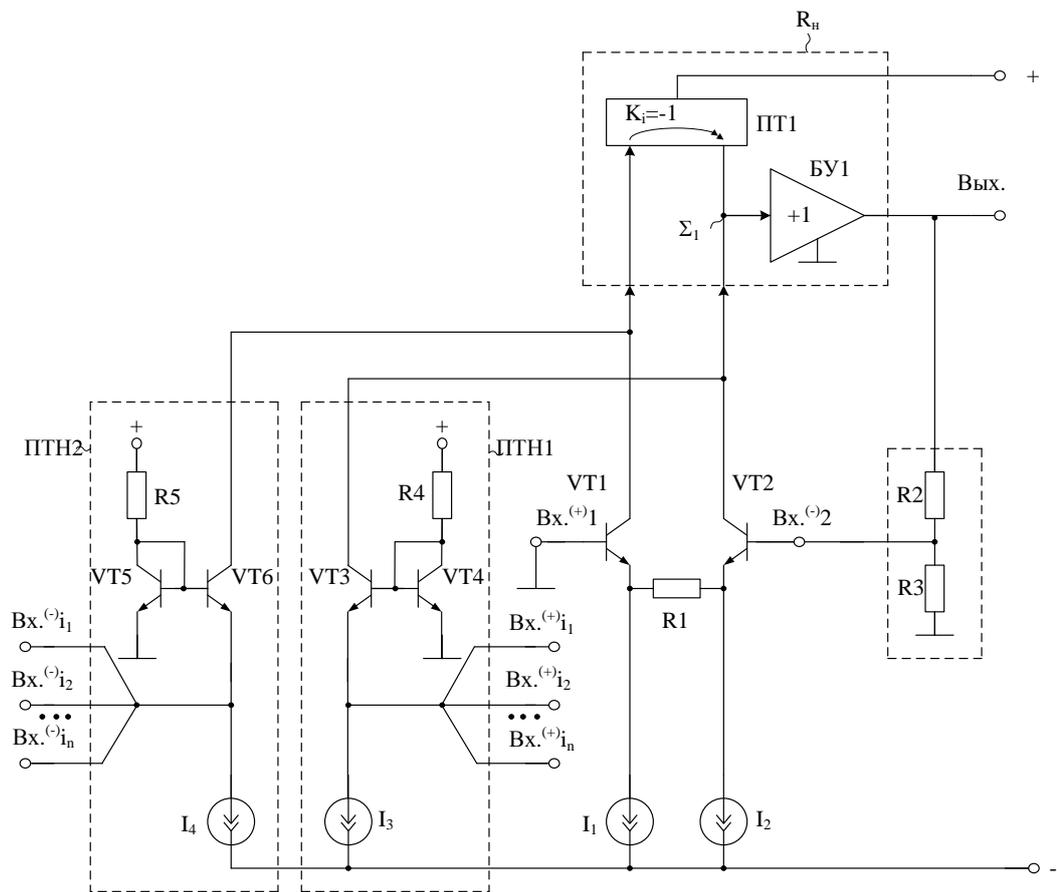


Рисунок 5.54 – Вариант практической реализации предлагаемого преобразователя

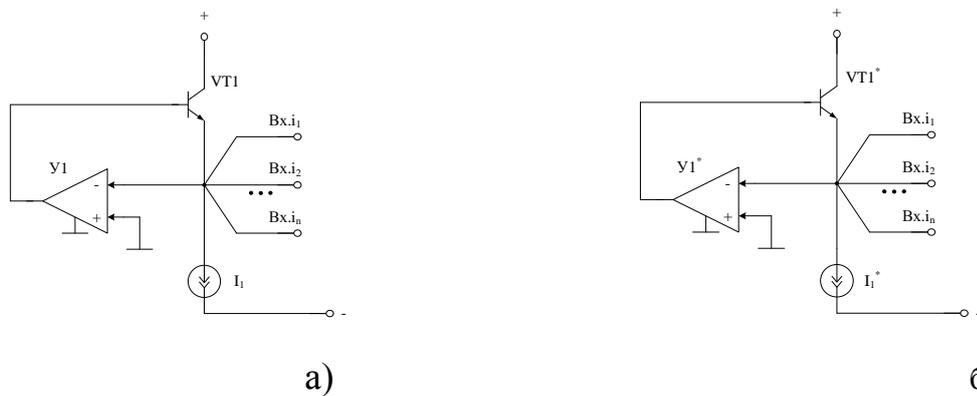


Рисунок 5.55 – Варианты выполнения каскадов преобразования входных ТОКОВ

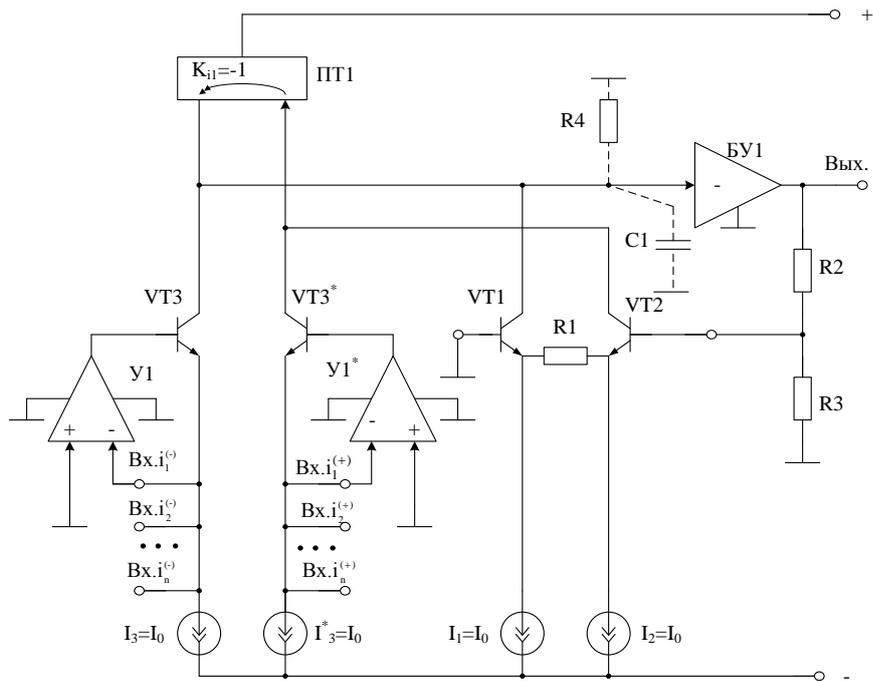


Рисунок 5.56 - Вариант практической реализации предлагаемого преобразователя

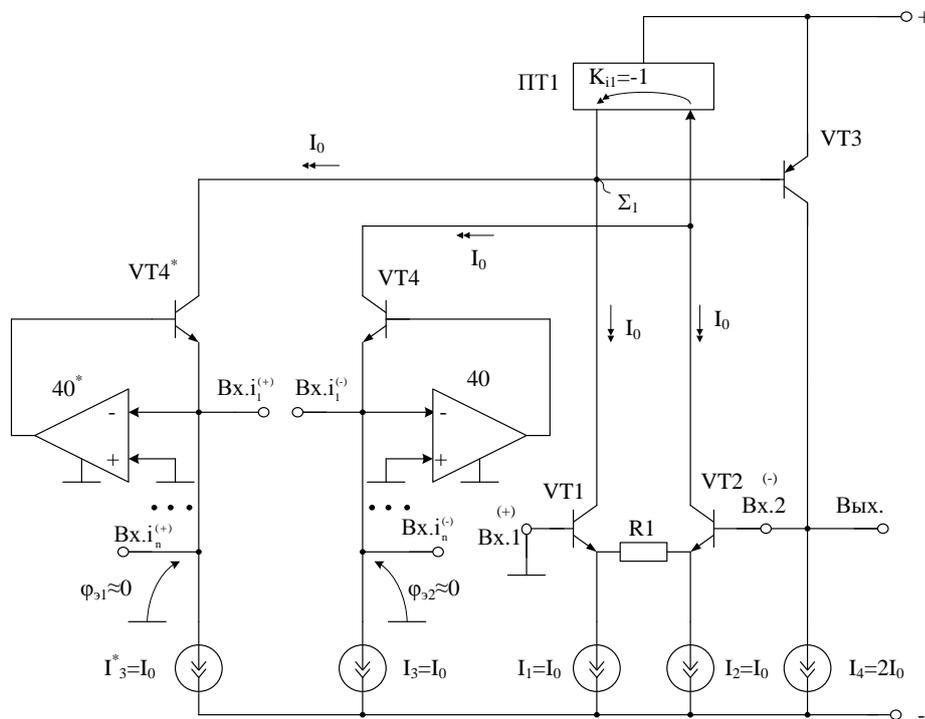


Рисунок 5.57 - Схема предлагаемого преобразователя с конкретным выполнением инвертирующего буферного усилителя



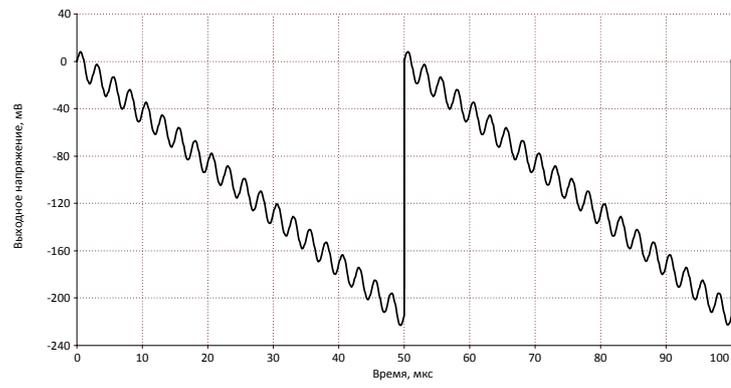


Рисунок 5.59 – Графики выходного напряжения схемы